



SALELF[®] 4 系列 FPGA

数据手册

上海安路信息科技股份有限公司

DS1000 (v1.0.1) 2023 年 4 月



目 录

目 录	I
1 简介	1
1.1 SALELF®4（以下简称 EF4）器件系列特性	1
1.2 EF4 器件介绍	2
2 EF4 架构介绍	3
2.1 PFB 模块	4
2.1.1 SLICE	5
2.1.2 PFB 操作模式	6
2.1.3 寄存器	8
2.2 互连（Routing）	8
2.3 嵌入式存储器模块（ERAM）	9
2.3.1 简介	9
2.4 时钟资源	18
2.5 全局时钟	18
2.5.1 时钟切换模块（CSB）	19
2.6 输入输出时钟	20
2.6.1 时钟分频器	20
2.6.2 快速时钟	21
2.7 锁相环（PLL）	22
2.7.1 简介	22
2.7.2 时钟反馈模式	23
2.8 数字信号处理（DSP）	25
2.8.1 体系结构	25



2.8.2 操作模式.....	27
2.9 输入输出逻辑单元 (IOL)	29
2.9.1 输入寄存器逻辑.....	29
2.9.2 输出寄存器逻辑.....	33
2.10 输入输出缓冲器 (IOB)	37
2.10.1 IOB 简介.....	37
2.10.2 IO 分组.....	38
2.10.3 高速 LVDS 接口.....	38
2.10.4 LVPECL.....	40
2.11 EF4 FPGA 配置说明.....	42
2.11.1 配置模式.....	42
2.11.2 配置流程.....	43
2.11.3 MSPI 配置模式.....	44
2.11.4 从动串行配置模式.....	44
2.11.5 从动并行配置模式.....	46
2.11.6 JTAG 配置模式.....	47
2.11.7 IEEE 1149.1 边界扫描测试.....	48
2.11.8 DUAL BOOT 功能.....	48
2.11.9 MULT BOOT 功能.....	48
2.11.10 FPGA I/O 引脚在配置阶段的设置.....	49
2.11.11 FPGA I/O 引脚在配置阶段的状态.....	49
2.11.12 DNA 安全功能.....	50
3 直流交流特性.....	51
3.1 直流电气特性.....	51
3.1.1 最大绝对额定值.....	51
3.1.2 推荐基本操作条件.....	52



3.1.3 基本供电要求.....	53
3.1.4 单电源器件静态供电电流- B Devices ^{1,2}	53
3.1.5 热插拔规格.....	53
3.1.6 上下电顺序.....	54
3.1.7 I/O 管脚电容.....	55
3.1.8 I/O 直流电气特性.....	55
3.1.9 单端 I/O 直流电学特性.....	56
3.1.10 差分 I/O 电学特性.....	57
3.2 交流电气特性.....	58
3.2.1 时钟性能.....	58
3.2.2 嵌入数字信号处理模块 (DSP) 规格.....	58
3.2.3 锁相环 (PLL) 规格.....	58
3.2.4 存储器模块 (ERAM) 规格.....	59
3.2.5 高速 I/O 接口性能.....	59
3.2.6 配置模块.....	60
4 引脚和封装.....	61
4.1 引脚定义和规则.....	61
4.2 IO 命名规则.....	61
4.3 caBGA324 引脚信息.....	62
4.4 封装信息.....	67
4.4.1 caBGA324 封装规格.....	67
5 订购信息.....	68
版本信息.....	70
免责声明.....	71

1 简介

1.1 SALELF® 4 (以下简称 EF4) 器件系列特性

- 灵活的逻辑结构
 - 规模为 9280 LUTs
 - 最大用户 I/O 数量达 279
- 低功耗工艺
 - 55nm 低功耗工艺
- 内置 Flash
 - 内置 8Mb flash, 无需外部配置器件
- 支持分布式和嵌入式存储器
 - 最大支持 74Kbits 分布存储器
 - 最大支持 270Kbits 嵌入块存储器
 - 内置嵌入式存储模块, 多种组合模式, 可配置为单口、真双口、简单双口
 - 专用 FIFO 控制逻辑
- 可配置逻辑模块 (PLBs)
 - 优化的 LUT4/LUT5 组合设计
 - 双端口分布式存储器
 - 支持算数逻辑运算
 - 快速进位链逻辑
- 源同步输入/输出接口
 - 输入/输出单元包含 DDR 寄存器支持 DDRx1、DDRx2 模式
- 高性能, 灵活的输入/输出缓冲器
 - 可配置支持以下单端标准
 - LVTTTL33
 - LVCMOS (3.3/2.5/1.8/1.5/1.2V)
 - PCI33
 - 可配置支持以下差分标准
 - LVDS (3.3/2.5V)
 - LVPECL 输入
- 时钟资源
 - 支持 True LVDS 输出, 所有 BANK 均支持单端和差分输入
 - 支持热插拔
 - 可配置上拉/下拉模式
 - 片内 100 欧姆差分电阻
- 配置模式
 - 16 路全局时钟
 - 每 BANK 2 路针对高速 I/O 接口设计的 IOCLK
 - 优化全局时钟的快速时钟
 - 多功能 PLLs 用于频率综合
 - 支持 7 路时钟输出
 - 分频系数 1 到 128
 - 占空比调整
 - 动态配置



- JTAG 模式 (IEEE-1532)
- BSCAN
 - 兼容 IEEE-1149.1
- 增强安全设计保护
 - 每个芯片拥有唯一的 64 位 DNA
- 封装形式
 - caBGA324

表 1- 1 EF4 FPGA 系列选型表

Series	Device	LUTs	DFFs	Dis-RAM (Kbs)	ERAM		DSP	PLL	Flash	MAX user IO
					9K	Total (Kbits)				
L	EF4L90	9280	9280	74	30	270	16	2	8Mb	279

表 1- 2 EF4 FPGA 封装

Packages	EF4L90
caBGA324 (15x15, 0.8mm pitch)	279/(71+68)

注：279/(71+68)表示：用户可用 IO 数（用户可用 True LVDS 对+用户可用 Emulated LVDS 对）。



1.2 EF4 器件介绍

EF4 器件是安路科技的第四代 FPGA 产品，基于 EF3 器件改进设计以满足汽车（Grade-2）应用，同时也能广泛应用于通信、工业控制和服务器市场。最多支持 279 个用户 I/O，满足客户板级 IO 扩展应用需求。EF4 器件采用 55nm 低功耗工艺，针对车规器件的严苛要求设计，以满足器件的可靠性和性能要求。

安路科技提供丰富的设计工具帮助用户有效地利用 EF4 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。

2 EF4 架构介绍

EF4 系列器件由查找表逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（ERAM9K）和数据信号处理模块（DSP）嵌在 PLB 中间。

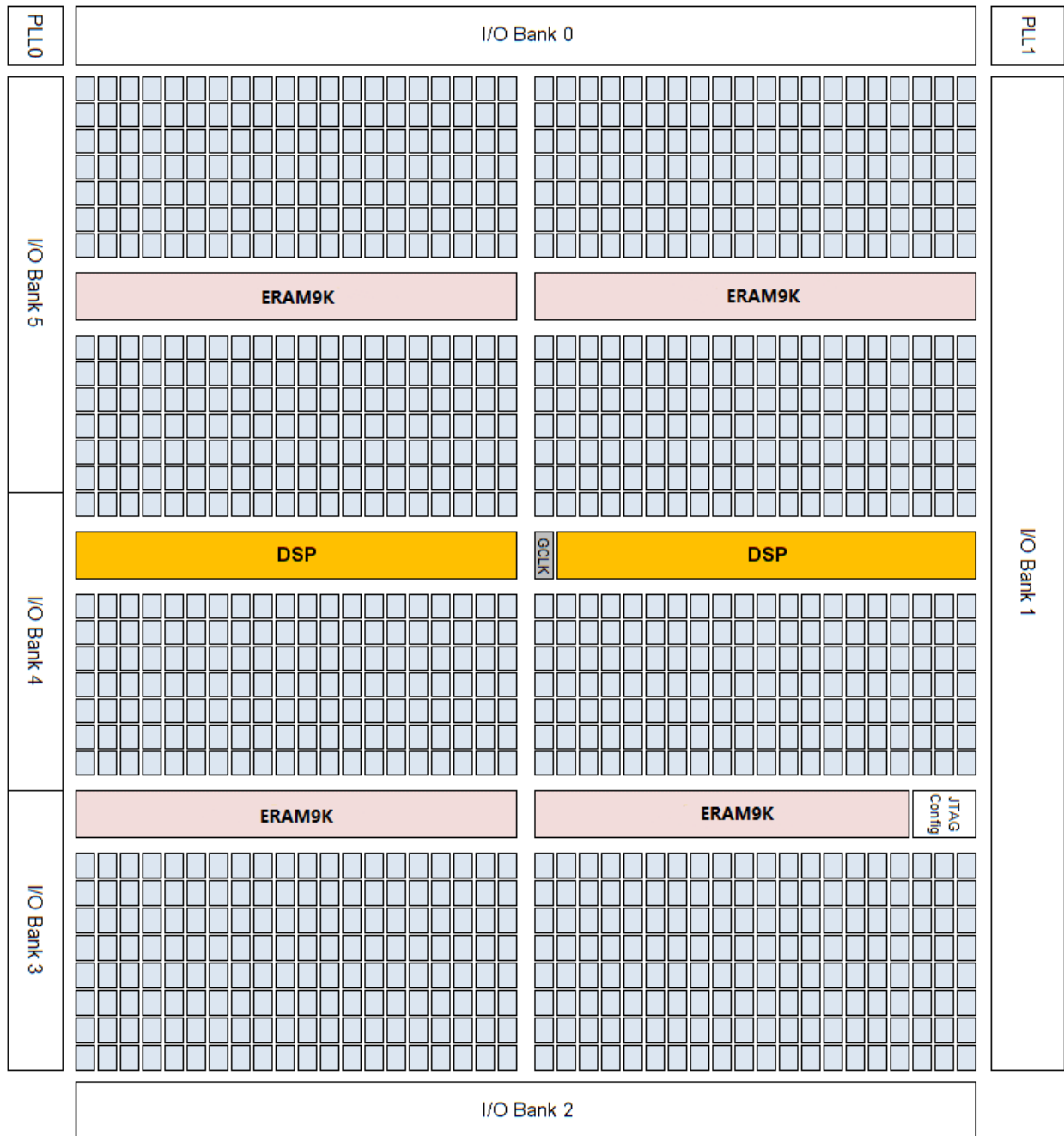


图 2- 1 EF4L90 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）。两种模块均支持逻辑、算数功能，不同的是 MSLICE 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）均经过设计优化，便于用户快速有效地实现复杂设计。

EF4 系列器件包含多列嵌入式存储器模块（ERAM），存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

EF4 的输入输出缓冲器（I/O Buffer）支持单端和双端的多种电平标准。BANK0/2 的 I/O 支持 TRUE LVDS 发送。

EF4 系列内部嵌有 2 个多功能 PLL 模块，位于器件的左上角和右上角，有专用的时钟线连接到 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

2.1 PFB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（Routing）和可编程功能块（Programmable Functional Block, PFB）。PFB 是 FPGA 的可编程功能核心。EF4 器件内部 PFB 可实现：逻辑，算术，分布式 RAM（distribute RAM），ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0,1 为 MSLICE 类型，SLICE 2,3 为 LSLICE 类型。

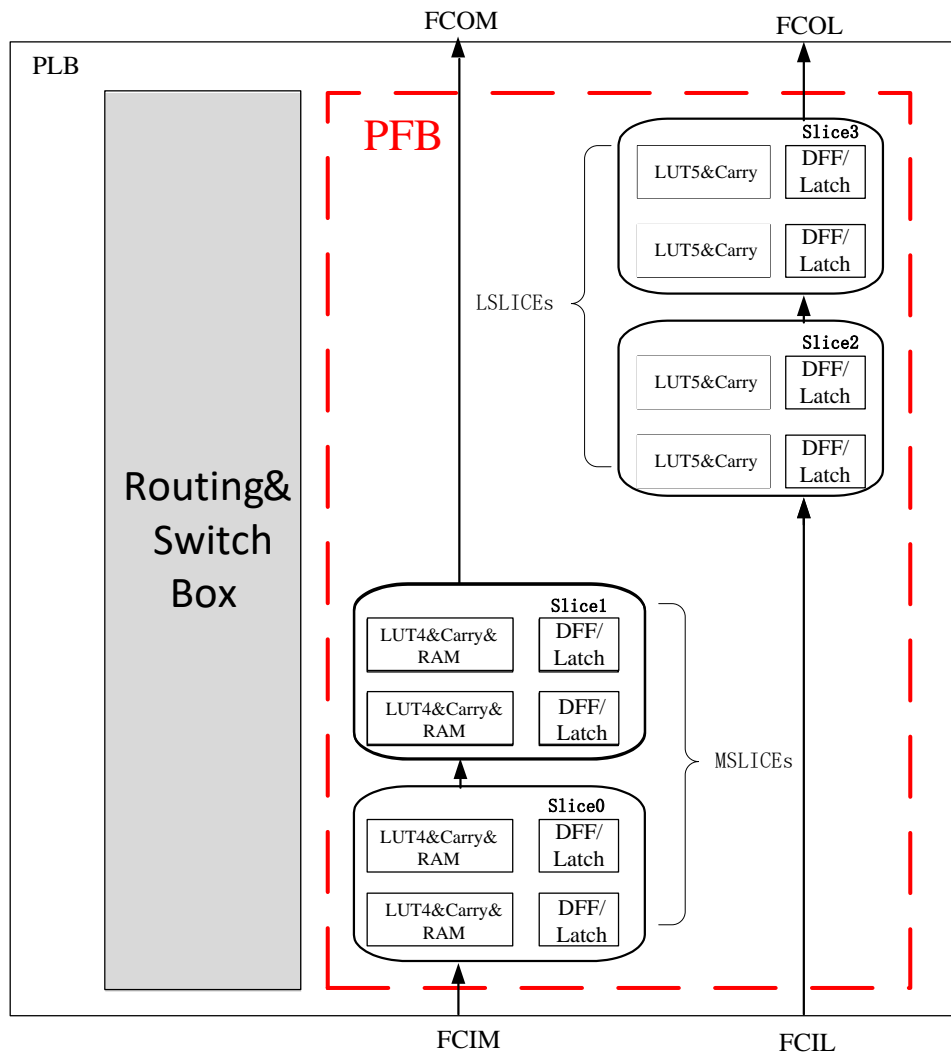


图 2-1- 1 可编程功能块（PFB）结构图

2.1.1 SLICE

EF4 PFB 内包含两种 SLICE：MSLICE 和 LSLICE。

a) MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链，MSLICE 额外可配置成基于 LUT 的分布式 RAM (distribute RAM) 功能。PFB 内的 SLICE 0, 1 为 MSLICE 类型，可组合配置成为 16x4 的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接，可以实现输入数大于 4 的函数，如 LUT5。两个 MSLICE 组合可实现 LUT6。

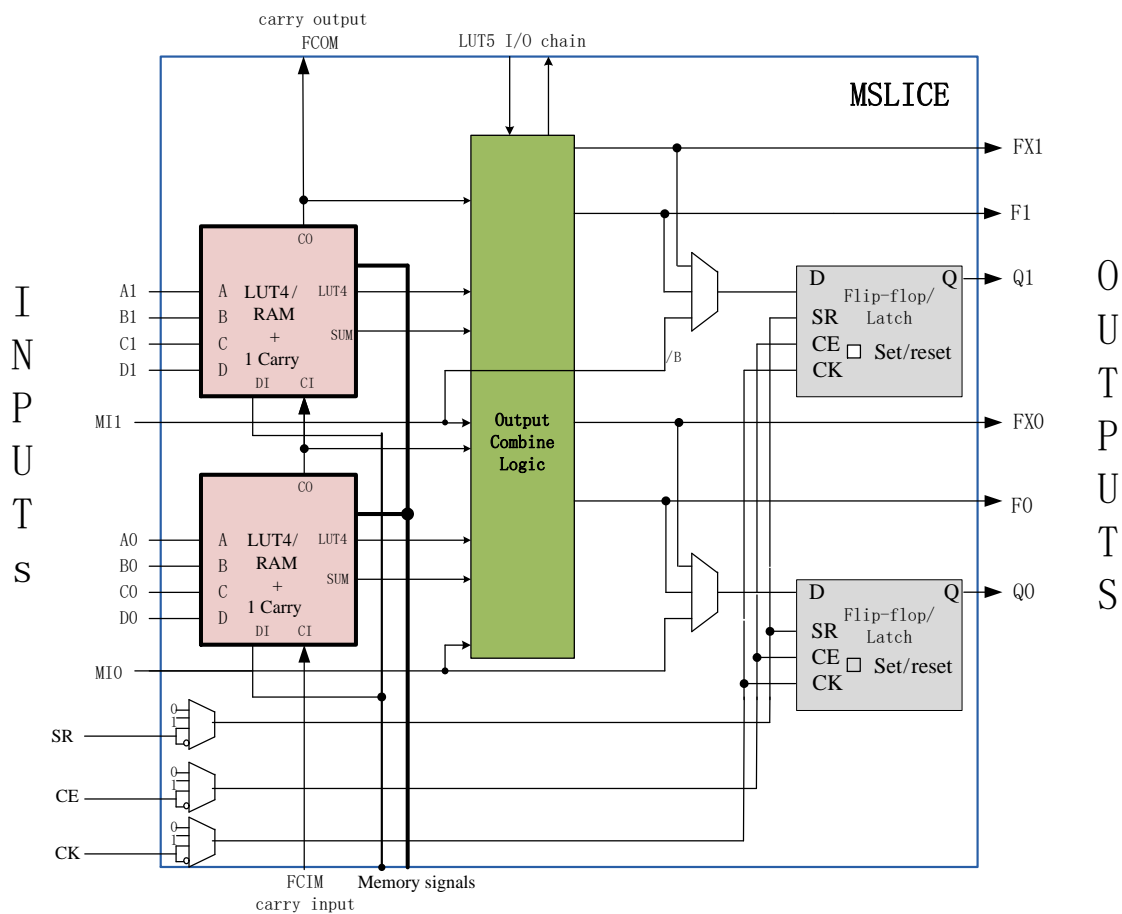


图 2-1- 2 MSLICE 结构图

如图 2-1- 2 所示，MSLICE 内部有两个 4 输入查找表 (LUT4)，并带有 RAM 写入译码器，结合 PFB 内部的分布式 RAM 控制逻辑，每个 LUT4 可实现 16x1 bits RAM 存储器，2 个 MSLICE 配合一个 RAM 控制器实现 16x4 的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入 (FCIM) 可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法，并实现快速进/借位输出 (FCOM)。

b) LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2, 3 为 LSLICE 类型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5，LUT6。两

个 LSLICE 组合可实现 LUT7。

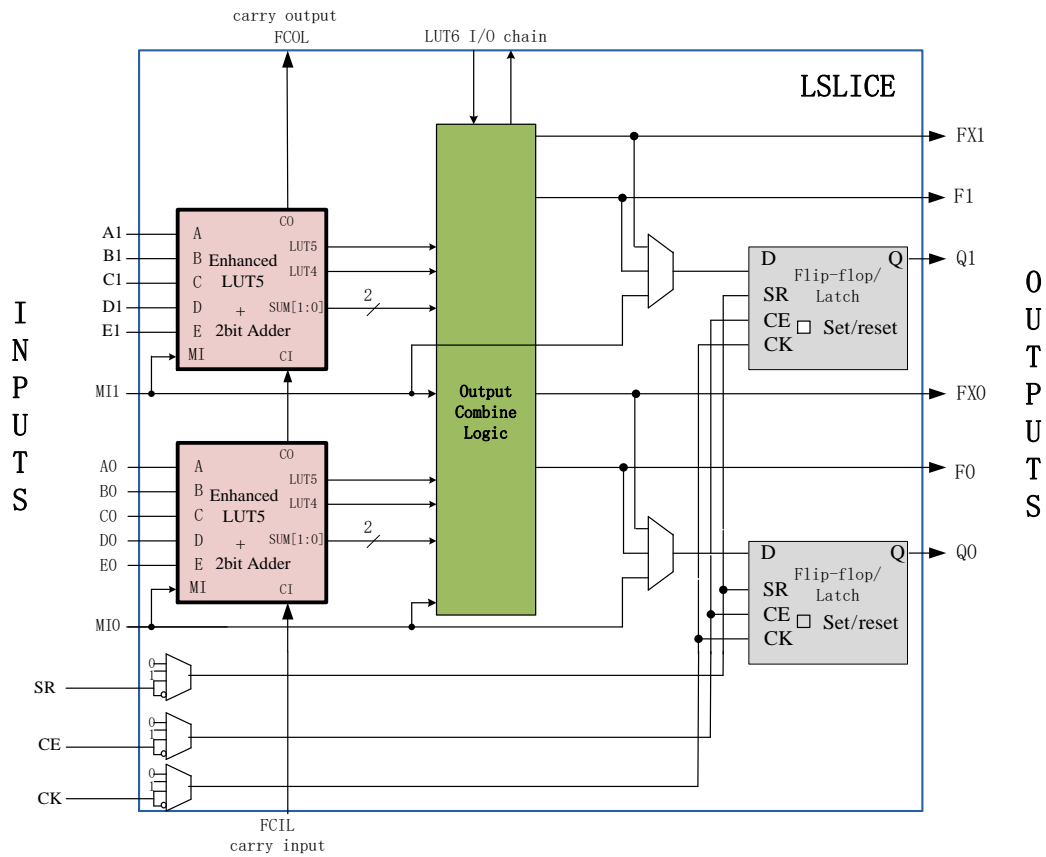


图 2-1- 3 LSLICE 结构图

如图 2-1- 3 所示，LSLICE 内部有 4 个 4 输入查找表（LUT4），以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个增强型 LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出（FCOL）。

MSLICE 和 LSLICE 内部寄存器相同，可配置成 DFF 或者 LATCH。

2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

a) 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的增强型 LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

表 2-1- 1 常见逻辑实现表

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7	-	2 LSLICE

b) 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

c) 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE: SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

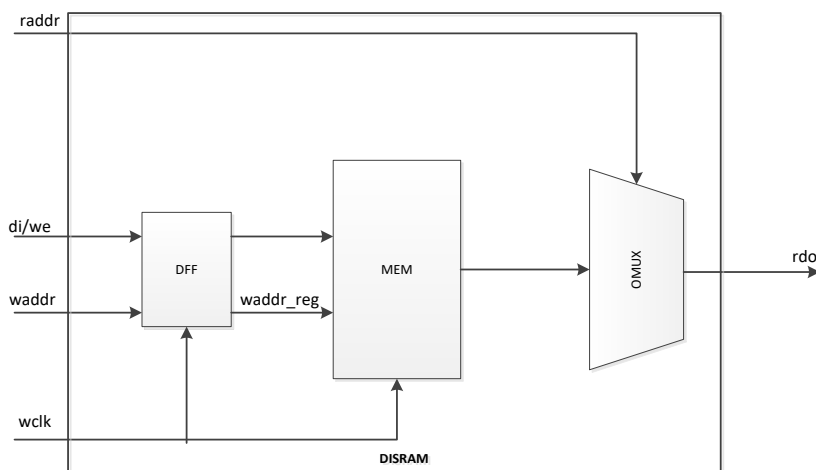


图 3-9 DISRAM 内部框图

其特性如下：

- DISRAM 内有写地址和写数据锁存器，写地址和写数据相对于时钟同步的
- 读地址异步
- wrst 是写控制器的异步复位信号，可实现对控制器进行复位
- 当 waddr 锁存后的信号 waddr_reg 与读地址 raddr 相同时，会出现同一地址空间读写冲突，输出数据未知，需要避免此种情况出现。

d) ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项:

- 边沿触发的锁存器 (DFF) 或电平使能锁存器 (LATCH)
- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

2.2 互连 (Routing)

可编程互连实现 FPGA 内部各个功能块之间的信号传输。EF4 系列器件内部拥有丰富的互连资源, 包括线间选通开关、线缓冲器以及信号走线。EF4 系列互连线全部带有缓冲器, 从而实现高速信号传输和可靠的信号完整性。

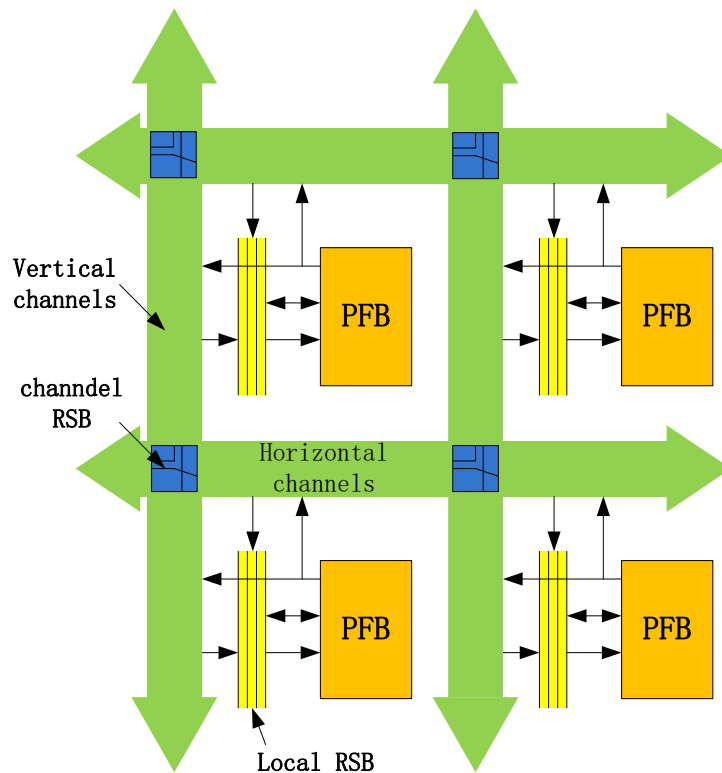


图 2-2- 1 EF4 互联架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB (routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

2.3 嵌入式存储器模块（ERAM）

2.3.1 简介

ERAM9K 每块容量 9Kbits，在芯片中按列排布，分布在 PFB 的阵列中。

ERAM9K 可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM（也称为伪双口）

ERAM9K 模块支持的功能特色有：

- 9216（9K）bits / 每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）
- 9 或 18 位写操作时带有字节使能（Byte Enable）控制
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 ERAM9K 数据初始化）
- 支持多种写操作模式。可选择只写（Normal），先读后写（Read before Write），写穿通（Write through）三种模式。

表 2-3- 1 ERAM 9K 特色

类别	特性
容量	9K
配置(深度 x 位宽)	8192 x 1 4096 x 2 2048 x 4 1024 x 8 或 9 512 x 16 或 18
奇偶位 (Parity bits)	8+1 16+2
字节使能 (Byte enable)	有，可选择
输入地址/数据寄存器	有
单口模式(Single-port mode)	支持
简单双口模式(Simple dual-port mode)	支持
真双口模式(True dual-port mode)	支持
ROM 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有

类别	特性
Read-during-write	可选择只写 (Normal) 先读后写 (Read before Write) 写穿通 (Write through)
工作前 RAM 初始化	支持

■ 字节使能 (Byte Enable)

ERAM9K 支持字节使能功能, 可在写操作时对写入数据按字节屏蔽, 被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 `datain[15:8]` 和 `datain[7:0]`。

■ 写操作时并行读操作 (Read-during-Write)

EF4 系列的 ERAM9K 支持同端口的 `read-during-write`。`read-during-write` 是指在单口 RAM 或真双口 RAM 模式时, 用户在写入数据的同时, 读出同一地址的数据到输出端口。而默认非 `rdw` 选择, 输出数据保持不变 (No change)。

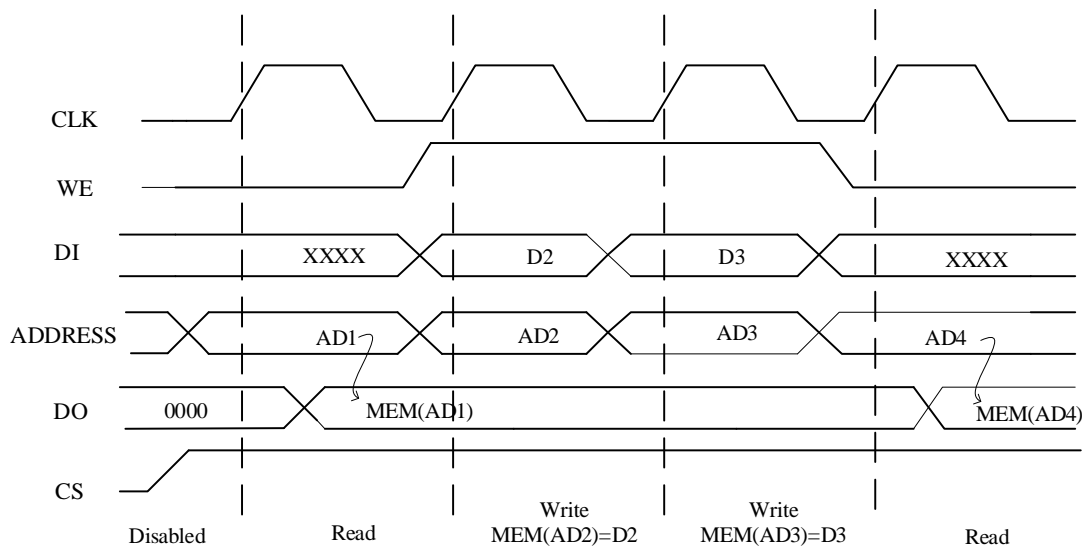


图 2-3- 1 No change 模式波形

RDW 模式下读出新数据即正要写入的数据 (Write Through)。

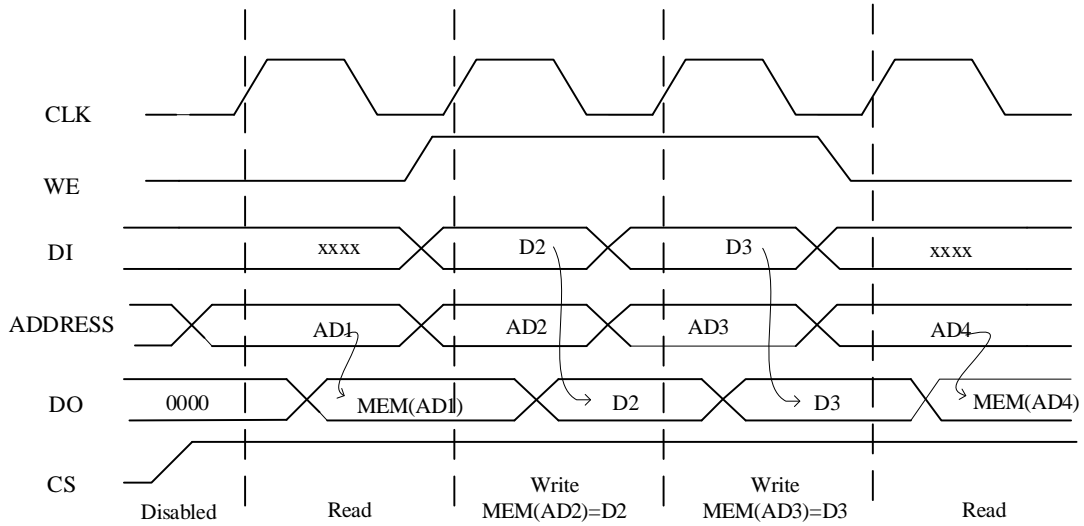


图 2-3- 2 Write Through 模式波形

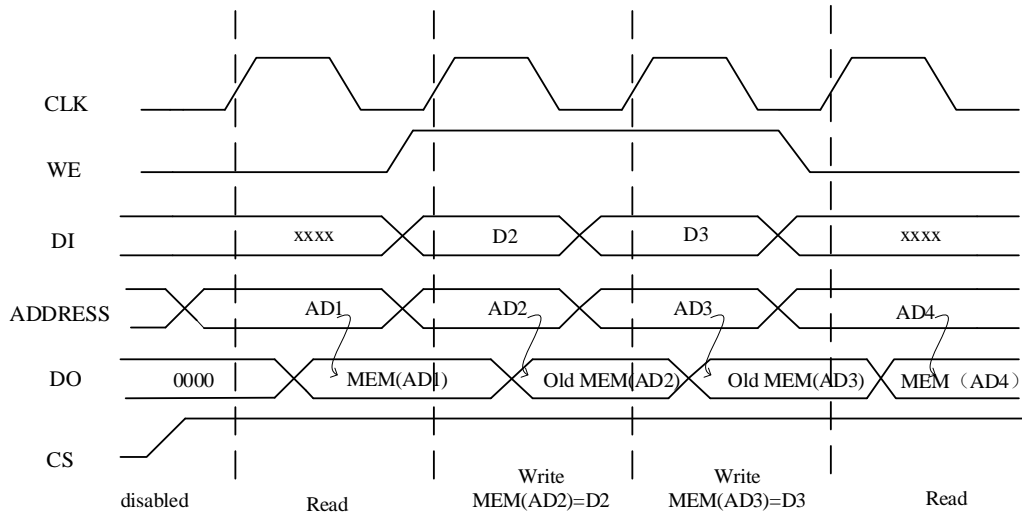


图 2-3-3 Read Before Write 模式波形

EF4 ERAM 内部采用 8T-SRAM 真双口结构，当用户从 2 个口访问同一地址 SRAM 空间时会发生冲突，用户需要注意以下几点：

1、当访问同一地址空间时，若双口同时为读操作，双口可以完成正常读操作，SRAM 内容正常，不会被破坏。

2、当访问同一地址空间时，若一口为写、另一口为读操作，写口可以正常写入数据，读口读操作失败，输出数据未知；SRAM 内容不会被破坏，为写口写入值。

3、当访问同一地址空间时，若一口为写、另一口同样为写操作，双口写操作同时失败，SRAM 器件内数据有损坏风险。

2.3.1.1 RAM 存储器模式下的端口信号

ERAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

- 片选信号 (ChipSelect)
- 时钟使能 (Clock Enable)
- 输入/输出寄存器复位控制信号 (RST)
- 写/读操作 (WE)
- 数据输出寄存器锁存使能 (OCE)
- 字节使能 (Byte Enable[1:0])。

表 2-3- 2 控制逻辑信号表

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

ERAM9K 的端口如下表：

表 2-3- 3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addr_a[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。在 18 位模式时，addr_a[1:0]复用为字节使能信号 Byte Enable[1:0]。
doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出
clka	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟
rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位
cea	输入	A 端口时钟有效控制信号，默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位写入模式时固定为 1。
csa[2:0]	输入	A 端口 3 位片选信号（可反向），csa[2:0]=3'b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oce_a	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入，18 位输入端口模式时作为高 9 位数据输入
addr_b[12:0]	输入	B 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出，18 位输出端口模式时作为高 9 位数据输入

clk	输入	B 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输出地址/数据端口时钟
rstb	输入	B 端口复位信号，默认高有效（可反向），可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号，默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
csb[2:0]	输入	B 端口 3 位片选信号（可反向），csb[2:0]=3'b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

■ 多位片选信号逻辑说明：

ERAM9K 的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示：

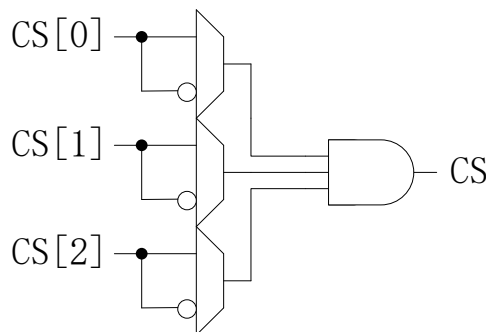


图 2-3- 4 CS 逻辑控制

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对 2~8 块 RAM 进行深度扩展。

■ 18 位模式时的字节使能 (Byte Enable) :

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 datain[15:8] 和 datain[7:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入 (dia)。在 18 位模式时，字节使能 Byte Enable[1:0] 信号和端口 addra[1:0] 复用。

■ 写操作时并行读操作 (Read-during-Write)

EF4 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式 (Normal)，输出数据保持不变。

RDW 模式下读出新数据 (Write Through)。

2.3.1.2 RAM 存储器模式下的常见配置

a) 单口模式 (Single-Port Mode)

单口模式支持对非同时发生的对同一地址的读或写操作。ERAM9K 内部有两套读写控制逻辑分别管

理 A 口和 B 口，因此 ERAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

ERAM9K 在单口模式下支持的位宽

- 8192 x 1（独立的 A 口或 B 口实现）
- 4096 x 2（独立的 A 口或 B 口实现）
- 2048 x 4（独立的 A 口或 B 口实现）
- 1024 x 8, 1024 x 9（独立的 A 口或 B 口实现）
- 512 x 16, 512 x 18（A 口 B 口联合实现）

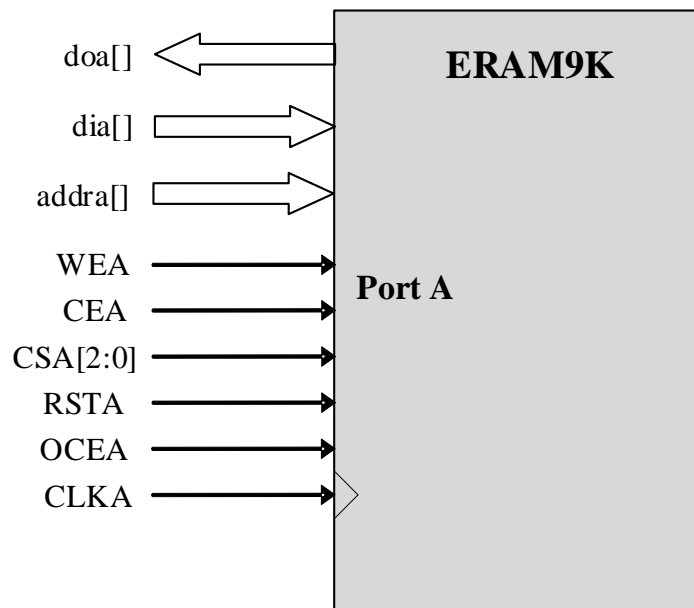


图 2-3- 5 利用 A 口实现的 9 位宽（及以下）单口 RAM

b) 简单双口模式（Simple Dual-Port Mode）

当用一块 ERAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0] 作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0] 作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-3- 4 9/18 位简单双口模式时数据端口连接关系

模式	ERAM9K RAM 端口	用户端口
W=18 位	DIA[8:0]	wdata[8:0]
R=18 位	DIB[8:0]	wdata[17:9]
	DOA[8:0]	rdata[8:0]

模式	ERAM9K RAM 端口	用户端口
	DOB[8:0]	rdata[17:9]
W<=9 位 R=18 位	DIA[]	wdata[]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W=18 位 R<=9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	rdata[]

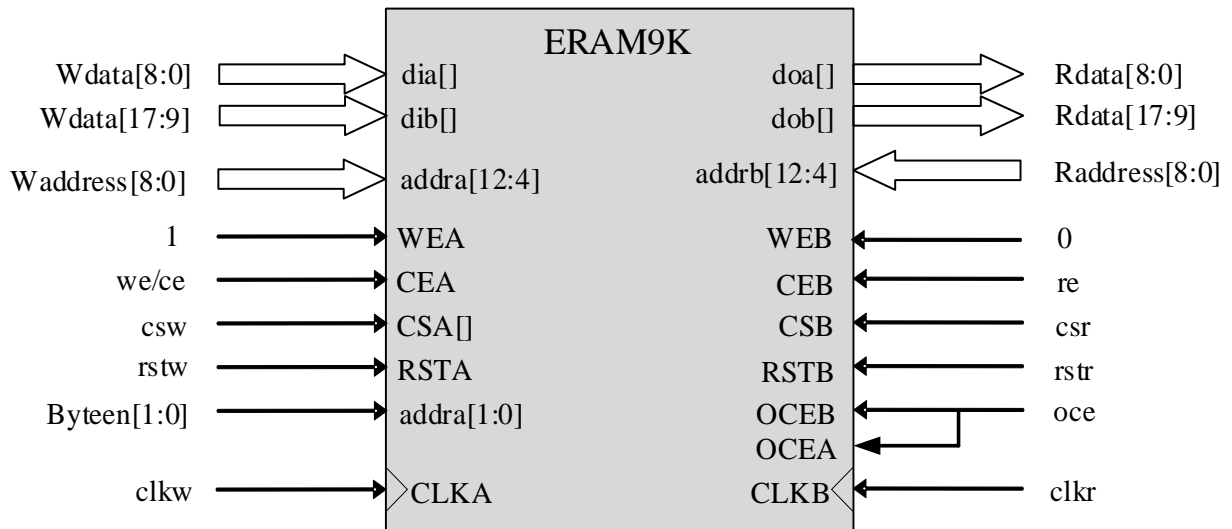


图 2-3- 6 简单双口 18 位写/18 位读端口连接

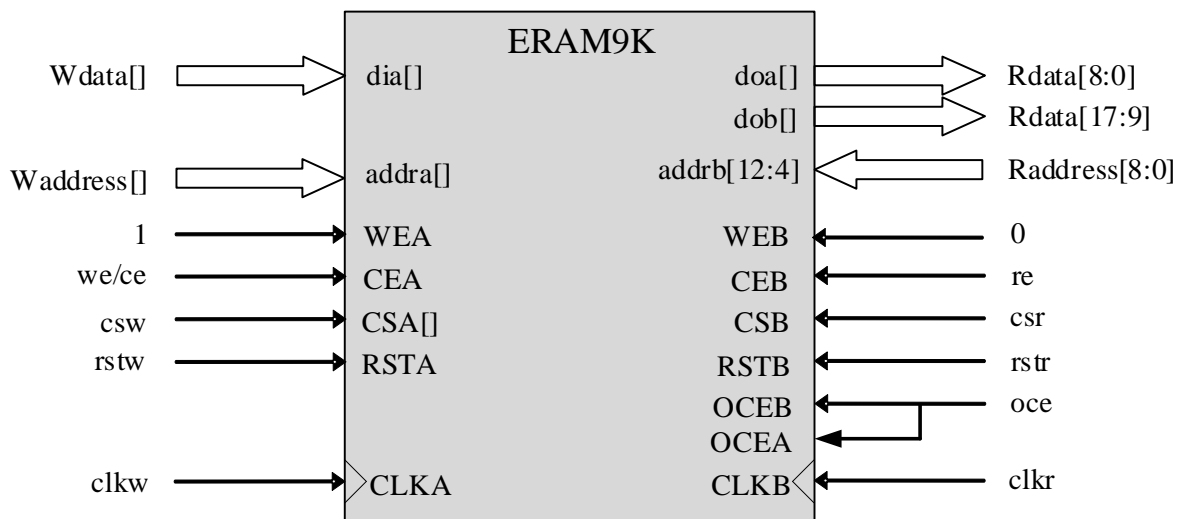


图 2-3- 7 简单双口模式<=9 位写/18 位读端口连接

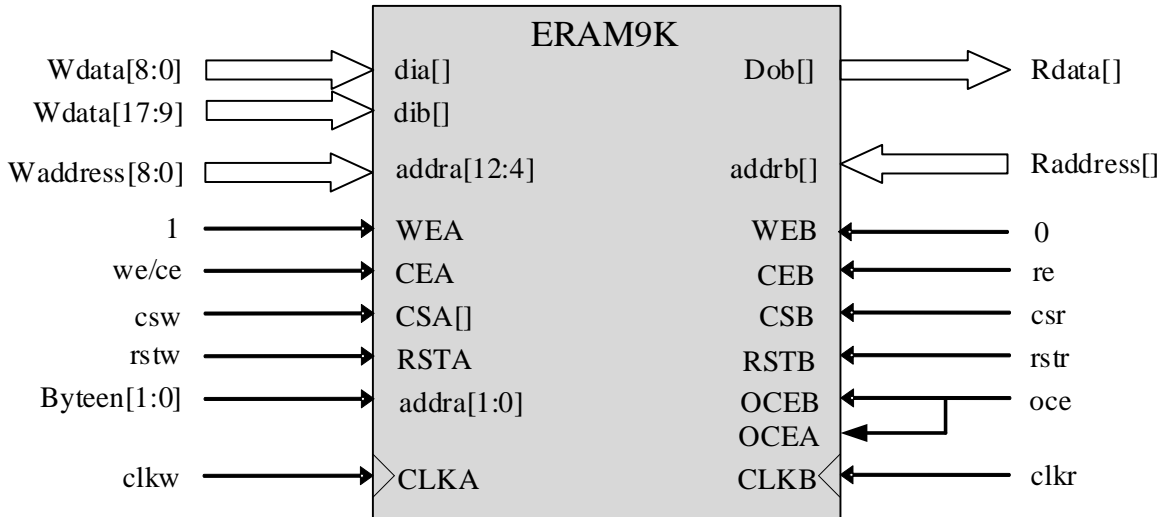


图 2-3- 8 简单双口模式 18 位写/≤9 位读端口连接

ERAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-3- 5 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	✓	✓	✓	✓	✓		
4Kx2	✓	✓	✓	✓	✓		
2Kx4	✓	✓	✓	✓	✓		
1Kx8	✓	✓	✓	✓	✓		
512x16	✓	✓	✓	✓	✓		
1Kx9						✓	✓
512x18						✓	✓

表 2-3- 6 简单双口模式下支持的混合端口位宽配置

	端口宽度	地址位宽度	DOB [8]	DOA [8]	最低 4 位地址 addr [3:0] 值对应的 WORD 内部数据位															
					3				2				1				0			
	18	9	0		0															
	9	10	1	0	1								0							
	4	11	X	X	3				2				1				0			
	2	12	X	X	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
18/16 位 WORD 内部数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

c) 真双口模式 (True Dual-Port Mode)

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

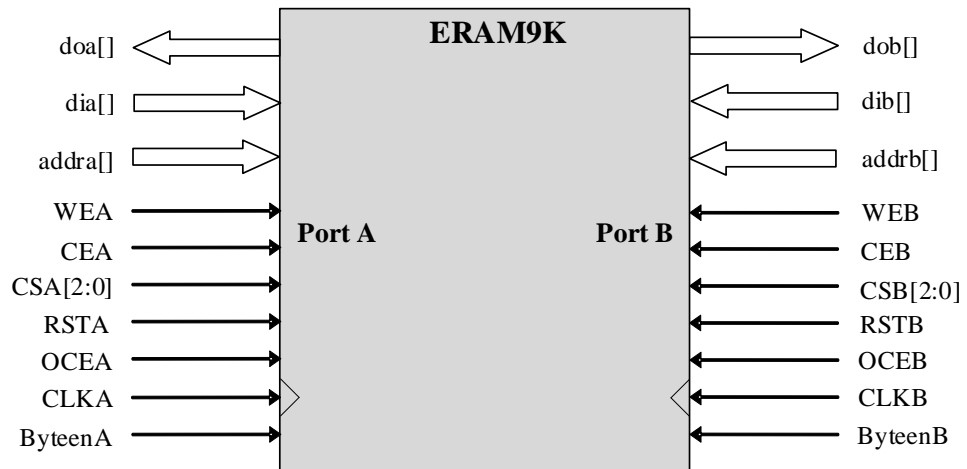


图 2-3- 9 位宽 ≤ 9 位时 A/B 双口 RAM

表 2-3- 7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	✓	✓	✓	✓	
4Kx2	✓	✓	✓	✓	
2Kx4	✓	✓	✓	✓	
1Kx8	✓	✓	✓	✓	
1Kx9					✓

d) ROM 模式

ERAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM9K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

2.4 时钟资源

EF4 系列 FPGA 包含 3 种类型时钟资源，第一种是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟（GCLK），第二种是支持高速输入/输出接口串并转换的输入输出时钟（IOCLK），第三种是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

2.5 全局时钟

EF4 系列全局时钟资源包含专用的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源，同时全局时钟也可用于高扇出信号，时钟架构如图 2-4-1 所示。

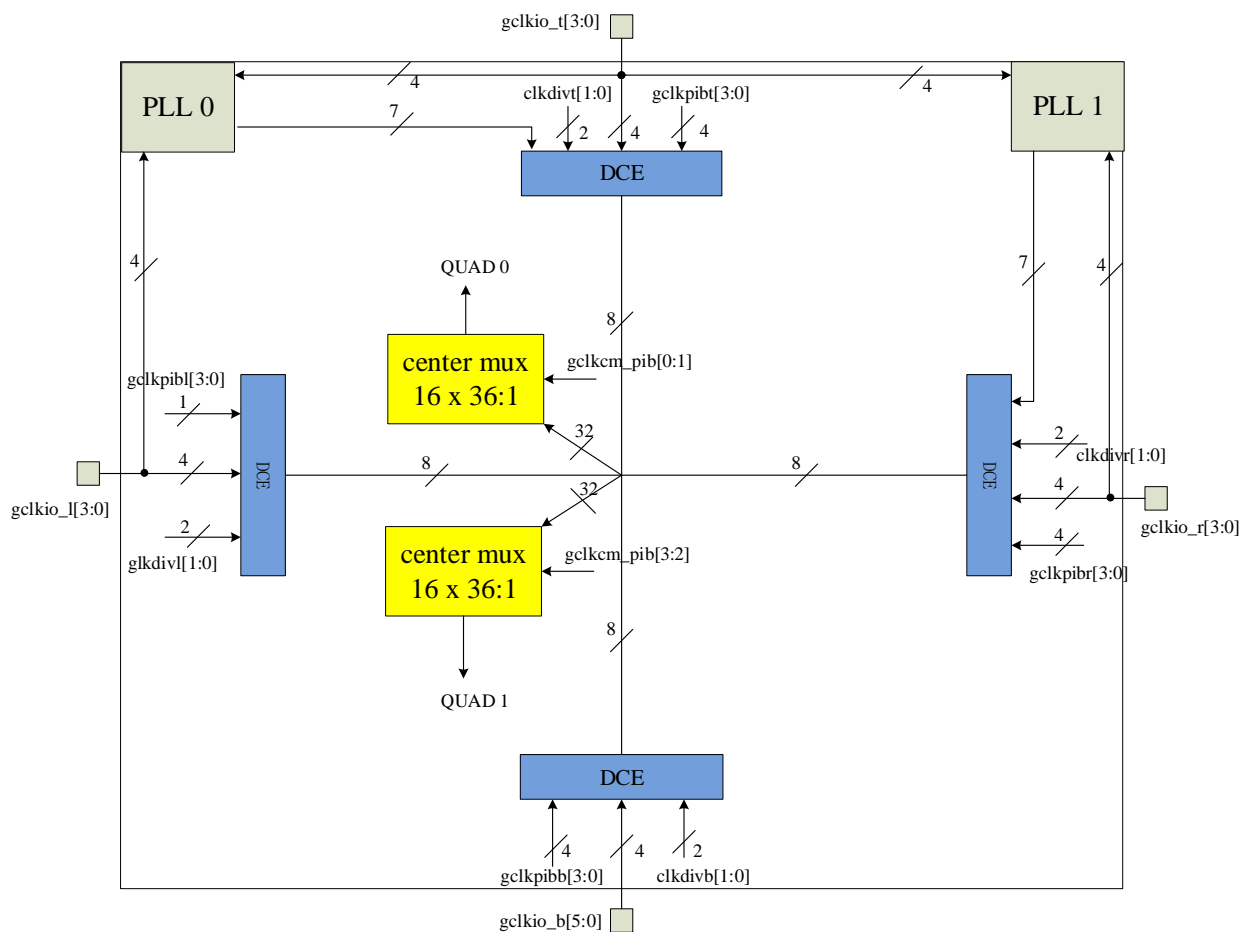


图 2-4-1 全局时钟分布网络

在全局时钟传输路径上有一级动态时钟使能逻辑，可以实现无毛刺的时钟动态使能，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线划分为四个象限，每个象限有 16 路独立的全局时钟资源。

2.5.1 时钟切换模块 (CSB)

每个 EF4 器件有 2 个全局时钟动态切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

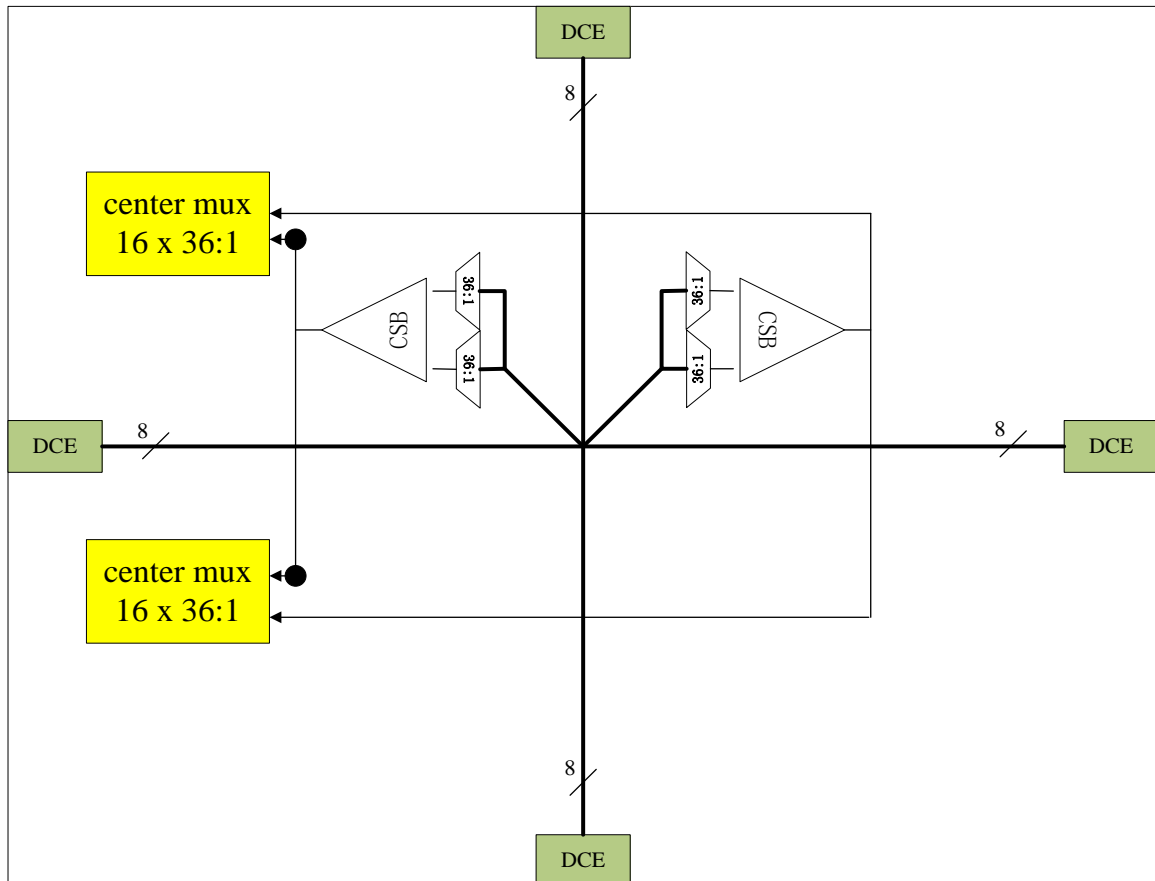


图 2-4- 2 CSB 框图

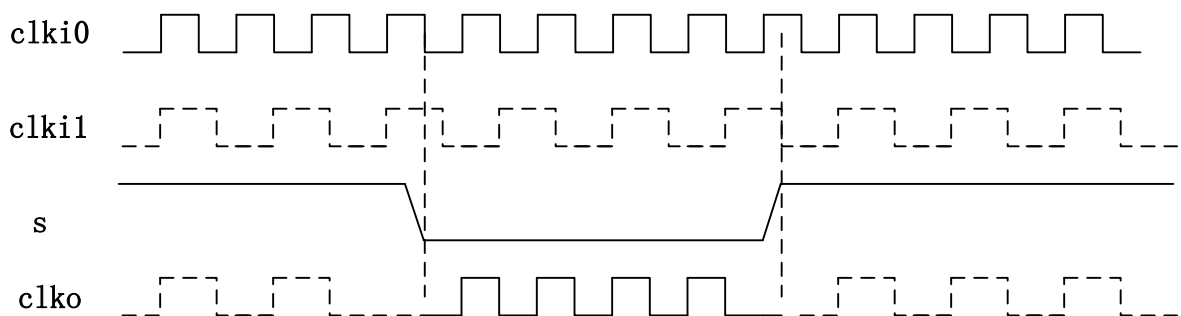


图 2-4- 3 CSB 时钟切换时序图

表 2-4- 1 DCS 操作模式

模式	S		描述
	0	1	
BUFGMUX	clki0	clki1	有毛刺时钟切换

2.6 输入输出时钟

输入输出时钟 (IOCLK) 是可以在 EF4 器件中使用的一种时钟缓冲器。IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样, BUFI0 就可以理想地适合源同步数据采集 (传送/接收器时钟分配)。IOCLK 可以由位于同一时钟区域的 clock capable I/O 驱动, 也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK。每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源 (PLB、ERAM 等), 因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

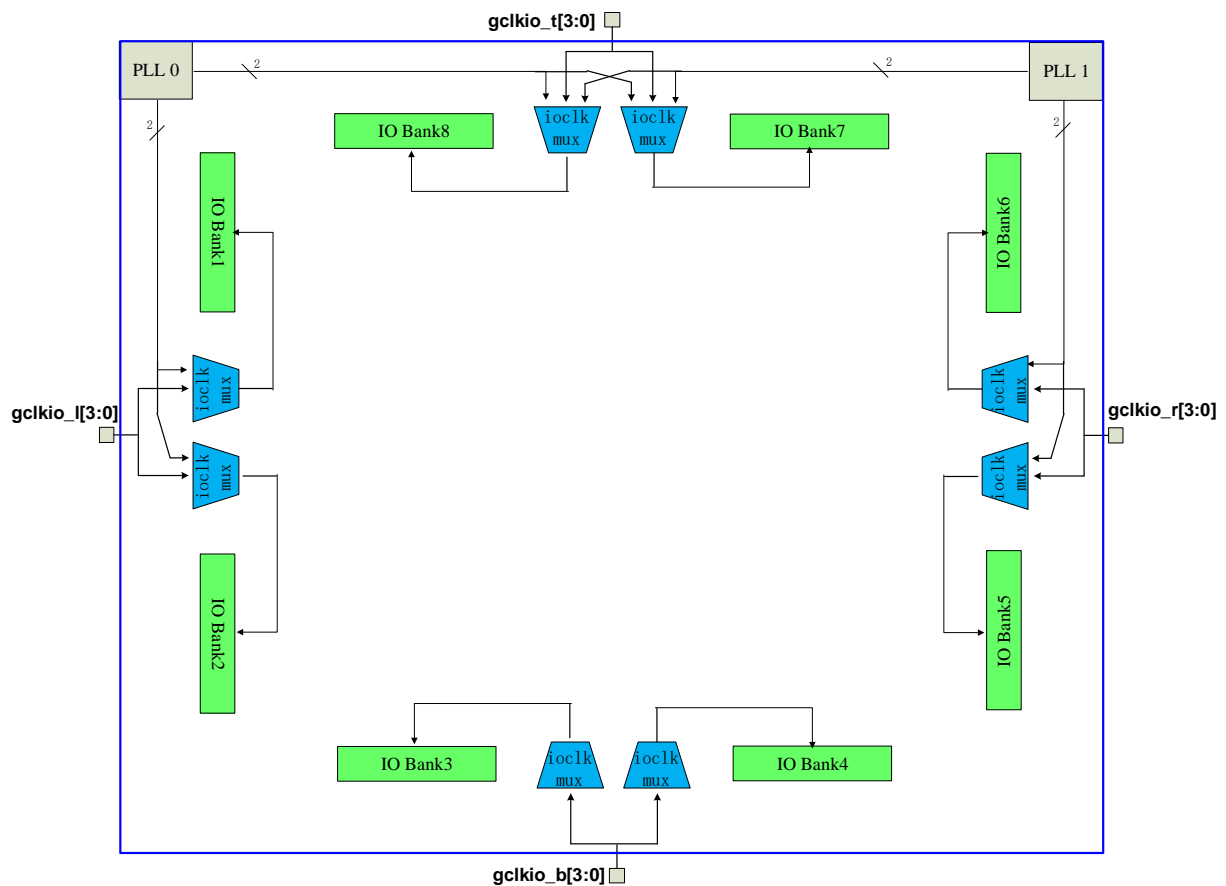


图 2-4- 4 IOCLK 架构图

2.6.1 时钟分频器

EF4 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频, 其输入来自于相同 I/O 组的输入输出时钟。输出分频系数可以是 1/2/4 中的任意一个。

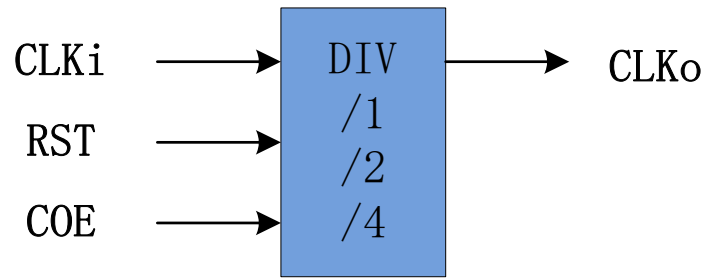


图 2-4- 5 时钟分频器

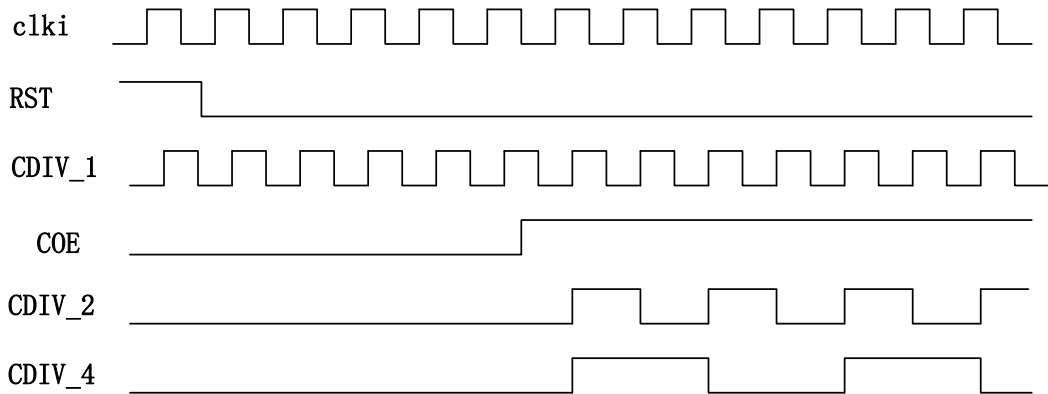


图 2-4- 6 时钟分频器时序图

2.6.2 快速时钟

快速时钟用以实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

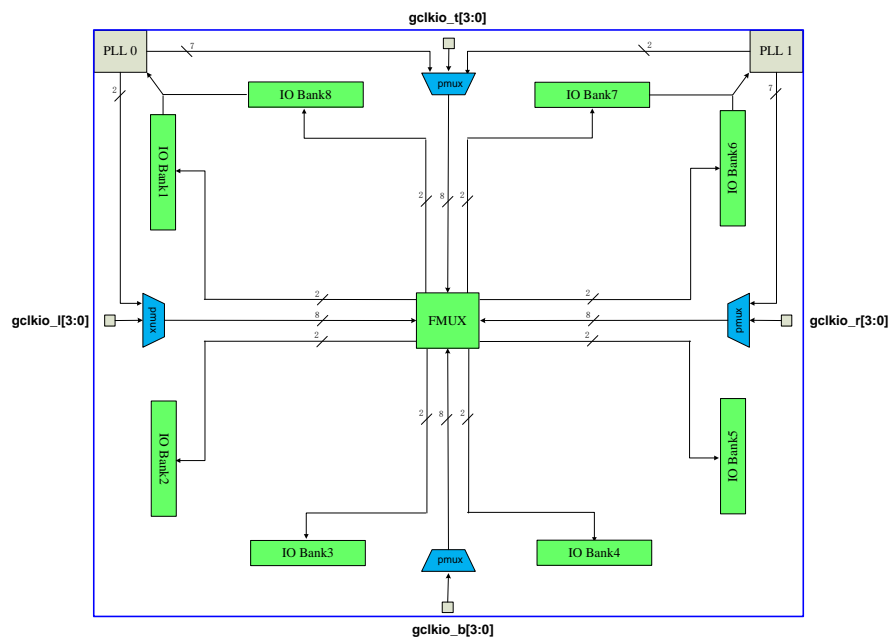


图 2-4- 7 快速时钟架构图

2.7 锁相环 (PLL)

2.7.1 简介

EF4 系列 FPGA 内嵌多个锁相环, 可实现高性能时钟管理功能。可以实现时钟分频、倍频、占空比调整、输入和反馈时钟对准、多相位时钟输出等功能。

用户在使用中应关注 PLL 的 lock 信号是否为高, 同时建议用户等待输入信号稳定后, 再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有: 时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有: 时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

PLL 输出 C5 和 C0 共用了一个来自 VCO 的相位选择器, 输出细调相位必须相同。

PLL 输出 C6 和 C1 共用了一个来自 VCO 的相位选择器, 输出细调相位必须相同。

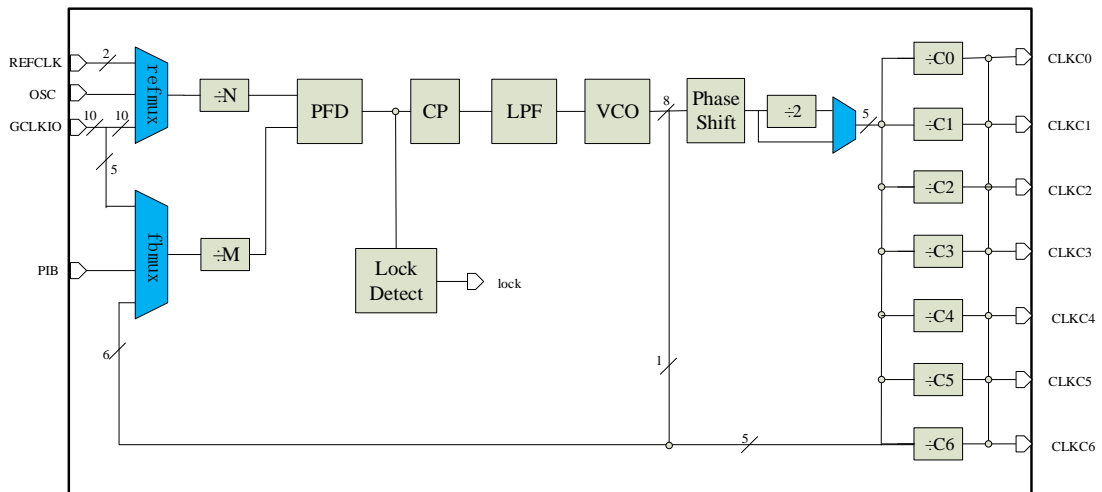


图 2-5- 1 EF4 PLL 架构图

PLL 有专门的输出驱动芯片的专用时钟输出管脚, 已获得更好的抖动性能。

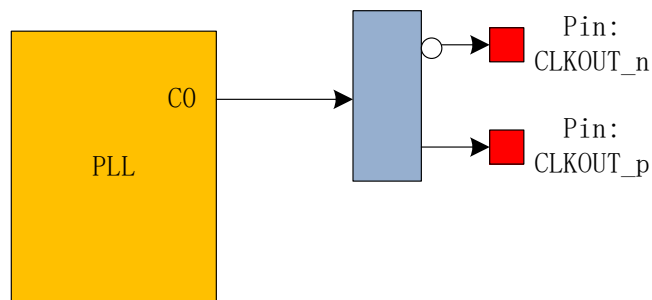


图 2-5- 2 EF4 C0 直接输出到时钟输出 IO 管脚 (差分模式)

表 2-5- 1 EF4 PLL 特性表

Feature	EF4 PLL
输出端口数	7 (C0~C4 相位完全独立)
参考时钟分频系数 (N)	1 to 128
反馈时钟分频系数 (M)	1 to 128
输出时钟分频系数 (C0-6)	1 to 128
相移分辨率	45° (相对 VC0)
输出端口可选相位偏移量 (°)	0, 45, 90, 135, 180, 225, 270, 315
锁定状态输出	Lock
专用时钟输出管脚	支持
占空比调整	支持
动态配置	支持

2.7.2 时钟反馈模式

EF4 系列 PLL 支持 3 种反馈模式。每种模式都支持时钟分频/倍频和相移。

2.7.2.1 源同步模式 (Source-Synchronous Mode)

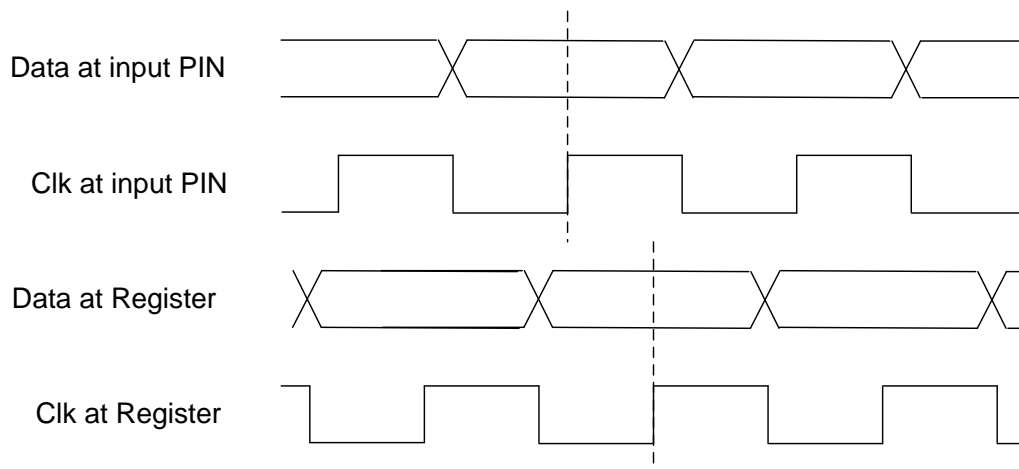


图 2-5- 3 源同步模式

如图 2-5- 3 源同步模式通过调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

2.7.2.2 无补偿模式 (No Compensation Mode)

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，会提高 PLL 的抖动特性。

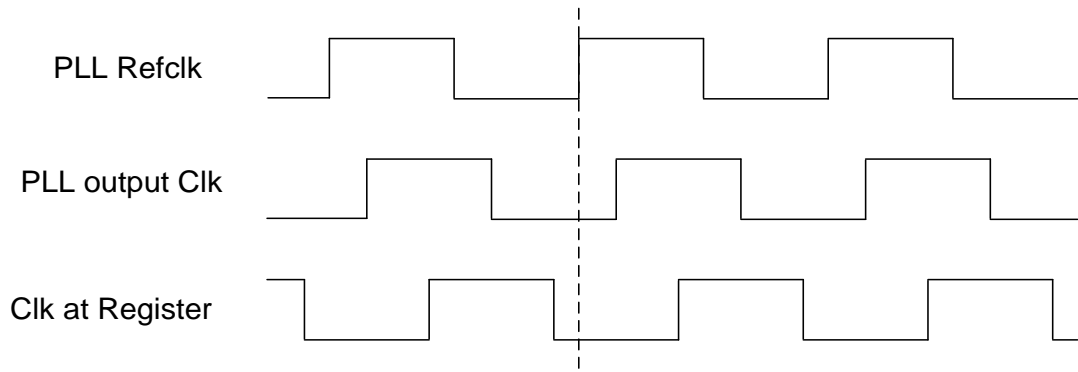


图 2-5- 4 无补偿模式（相位不对齐）

2.7.2.3 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

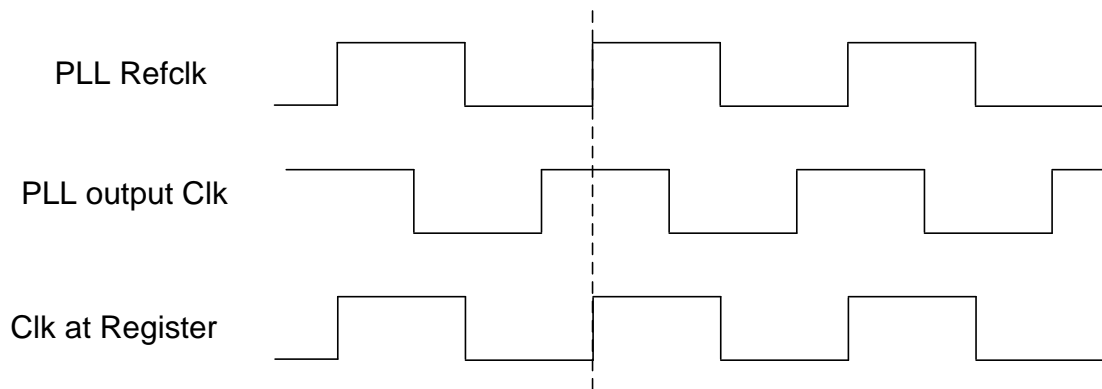


图 2-5- 5 普通模式

2.8 数字信号处理（DSP）

EF4 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理（DSP）系统的功耗。EF4 器件本身或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

2.8.1 体系结构

嵌入式乘法器可以配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

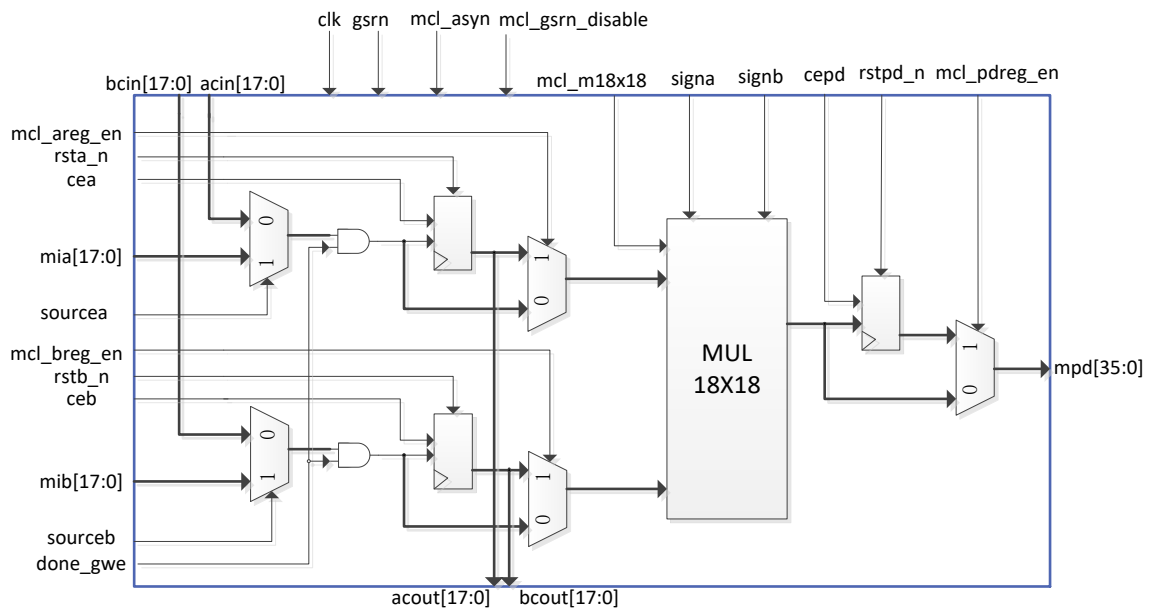


图 2-6-1 乘法器模块的体系结构

a) 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia 信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

b) 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 signa 信号为高电平，则 mia 操作数是一个有符号数值。反之，mia 操作数便是一个无符号数值。

表 2-6- 1 为乘法器符号表示给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-6- 1 乘法器符号表示

mia		mib		乘积
signa	逻辑值	Signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 x9 乘法器，那么这两个乘法器的 mia 输入与 mib 输入将分别共享同一个 signa 信号和同一个 signb 信号。可以在运行时动态改变 signa 和 signb 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 signa 以及 signb。不管符号表示如何，乘法器都会支持全精度。

c) 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

表 2-6- 2 乘法器端口说明

名称	方向	位宽	描述
mia	输入	18	来自 PIB 的 dsp 操作数输入。具有寄存器输入模式
acin	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式
acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出

名称	方向	位宽	描述
mib	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式
bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式
bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出
cea	输入	1	输入寄存器时钟使能信号。当 cea 为高电平时，输入有效
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，输入有效
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平时，输出有效
clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器
rsta_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstb_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstpd_n	输入	1	输出寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin
mpd	输出	36	dsp 的乘积数据输出

2.8.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个 18×18 乘法器
- 两个 9×9 独立的乘法器

通过使用 EF4 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

2.8.2.1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18×18 乘法器。图 2-6-2 给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

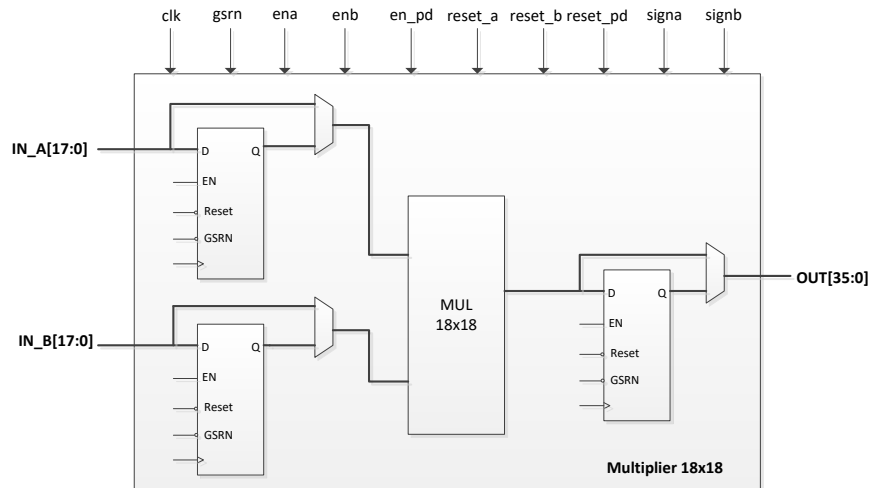


图 2-6- 2 18 位乘法器模式

2.8.2.2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9x9 乘法器。图 2-6- 3 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个 9 × 9 乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 mia 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 mib 输入数据也必须要有的符号表示。

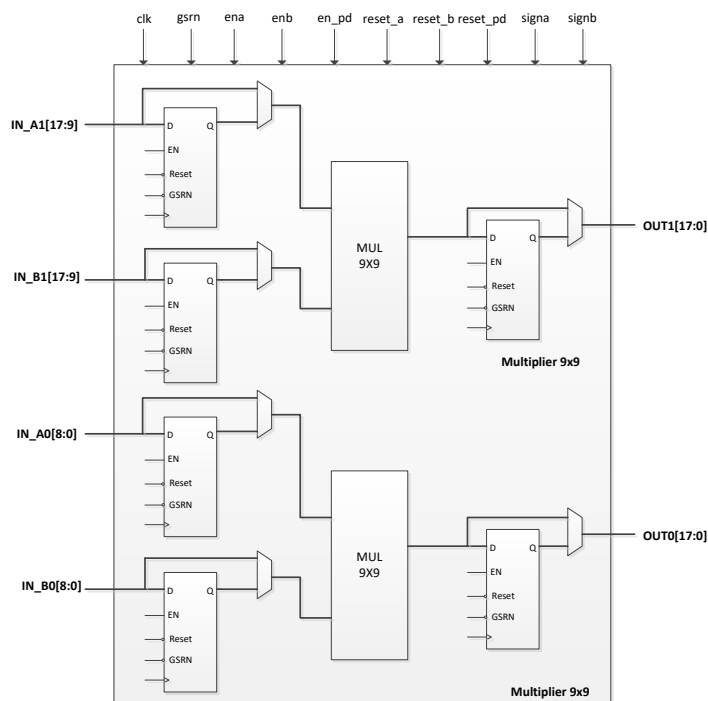


图 2-6- 3 9 位乘法器模式

2.9 输入输出逻辑单元 (IOL)

EF4 器件的 IOL 支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。与 IOB 类型相匹配, EF4 器件只有一种 IOL 类型, 支持的工作模式如表 2-7- 1 所示。

表 2-7- 1 IOL 支持工作模式

模式		IOLE 增强型
输入	BYPASS	√
	SDR	√
	iDDR _{x1}	√
	iDDR _{x2}	√ ¹
输出	BYPASS	√
	SDR	√
	oDDR _{x1}	√
	oDDR _{x2}	√ ²

注 1: EF4L90 BANK0/2 的所有 IO 和 BANK1/3/5 的差分 P 端支持 IDDR_{x2} 。

注 2: EF4L90 BANK0/2 的所有 IO 支持 ODDR_{x2}。

2.9.1 输入寄存器逻辑

输入输出逻辑 (IOL) 中的输入寄存器用来处理高速接口, 将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据 (GDDR) 的支持。

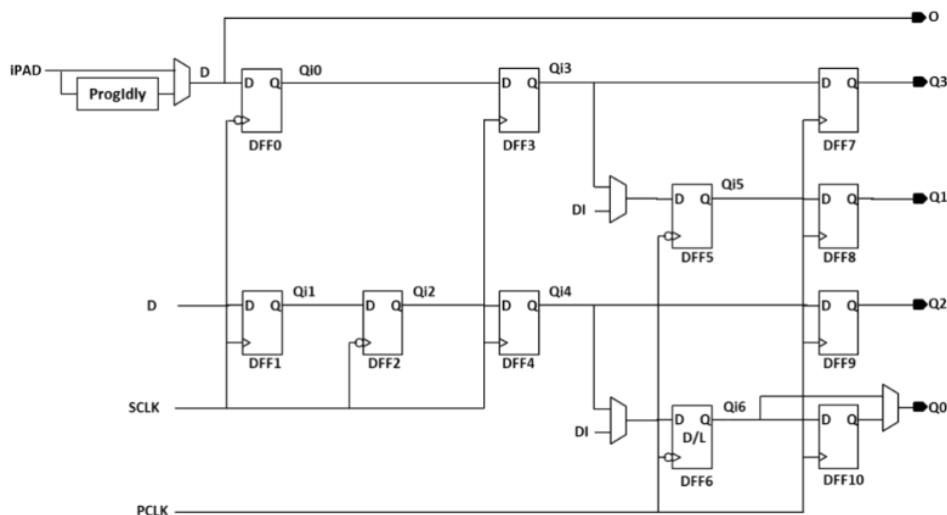


图 2-7- 1 输入寄存器框图

2.9.1.1 普通输入模式

普通模式下的 IO 逻辑如图 2-7- 2 所示, 此模式下信号直接进入 FPGA 内部逻辑。

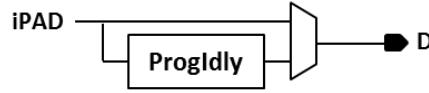


图 2-7- 2 普通输入模式框图

2.9.1.2 SDR 输入模式

相比普通模式，如图 2-7- 3 所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

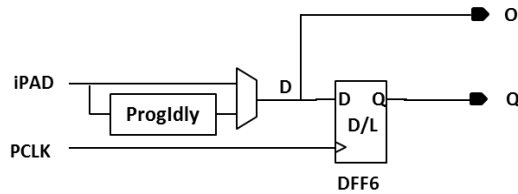


图 2-7- 3 SDR 输入模式框图

2.9.1.3 DDR 输入模式

EF4 器件 IOL 中有专用的寄存器用以支持 iDDR_{x1} 和 iDDR_{x2} 模式。

■ iDDR_{x1} 同沿输入模式

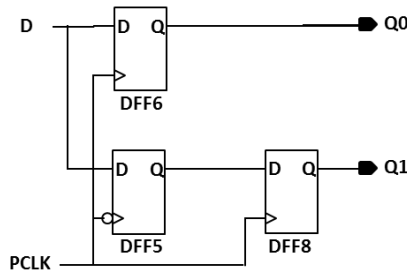


图 2-7- 4 iGDDR 同沿输入模式框图

在 iDDR_{x1} 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如图 2-7- 5 所示。

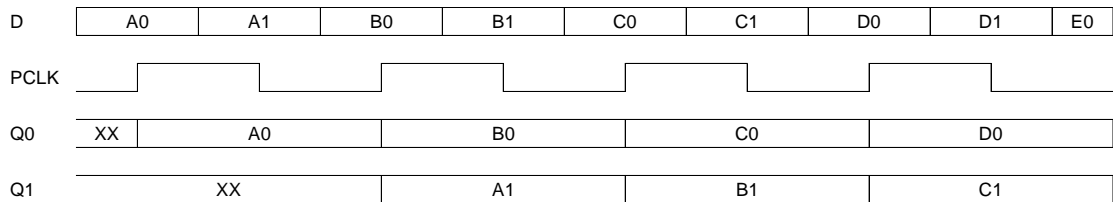


图 2-7- 5 iGDDR 同沿输入模式

■ iDDRx1 同沿 Pipelined 输入模式

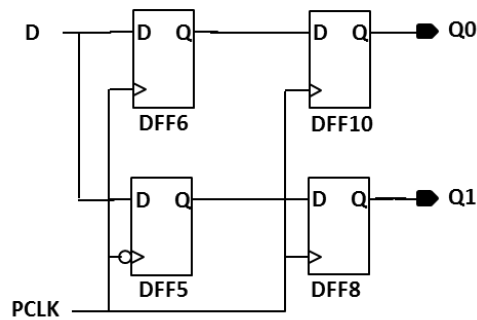


图 2-7- 6 iGDDR 同沿 Pipelined 输入模式框图

在 iDDRx1 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如图 2-7- 6 所示。时序如图 2-7- 7 所示。

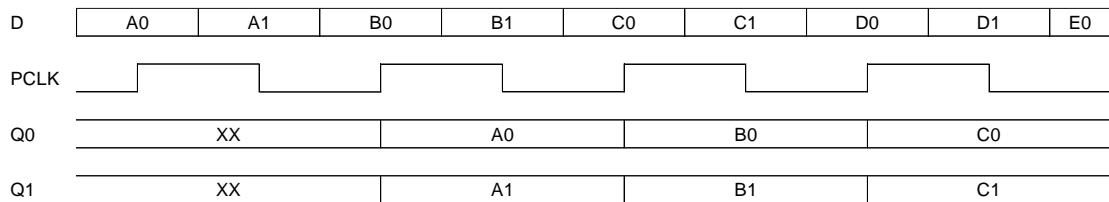


图 2-7- 7 iGDDR 同沿 Pipelined 输入模式

■ iDDRx2 输入模式

iDDRx2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

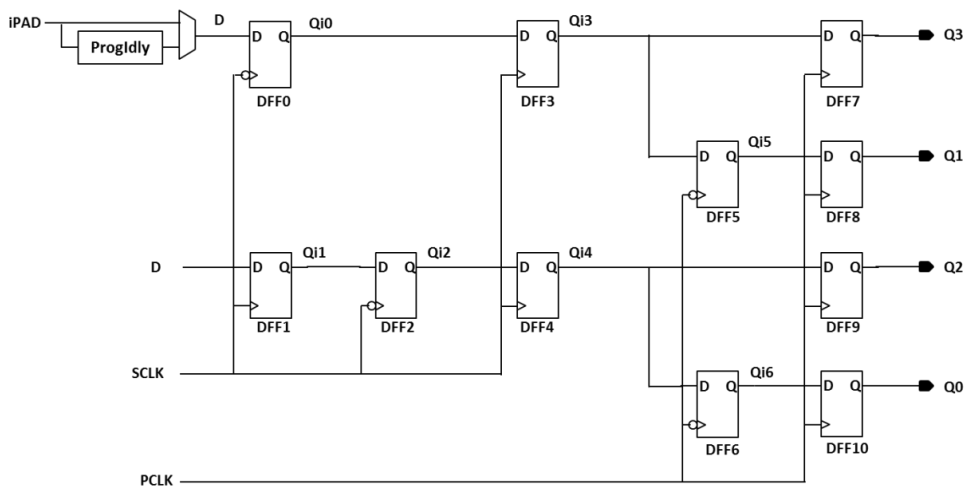


图 2-7- 8 iDDRx2 输入模式

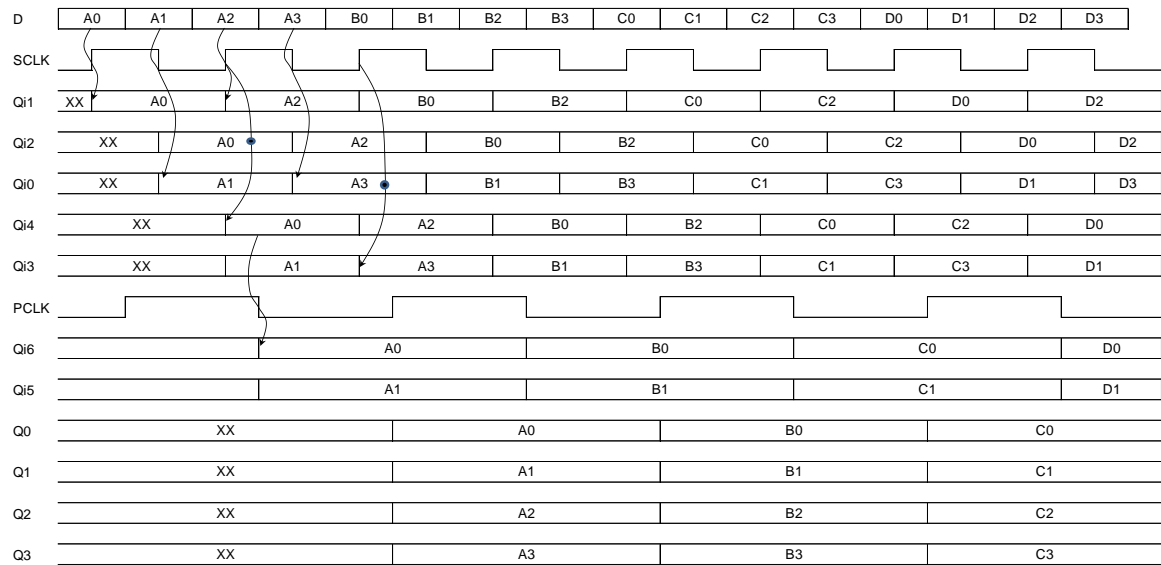


图 2-7- 9 iDDRx2 输入模式时序

2.9.1.4 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，加强对源同步功能的支持。支持静态控制延迟的方式。IOL 支持的可调范围如所示。

表 2-7- 2 输入延时调整范围

IOL 类型	可调整 Step	平均步进精度	最大延时大约
IOL_Min	32	26ps	0.92ns
IOL_Max	32	46ps	1.62ns

2.9.2 输出寄存器逻辑

输入输出逻辑（IOL）中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。图 2-7- 10 给出了输出寄存器框图。

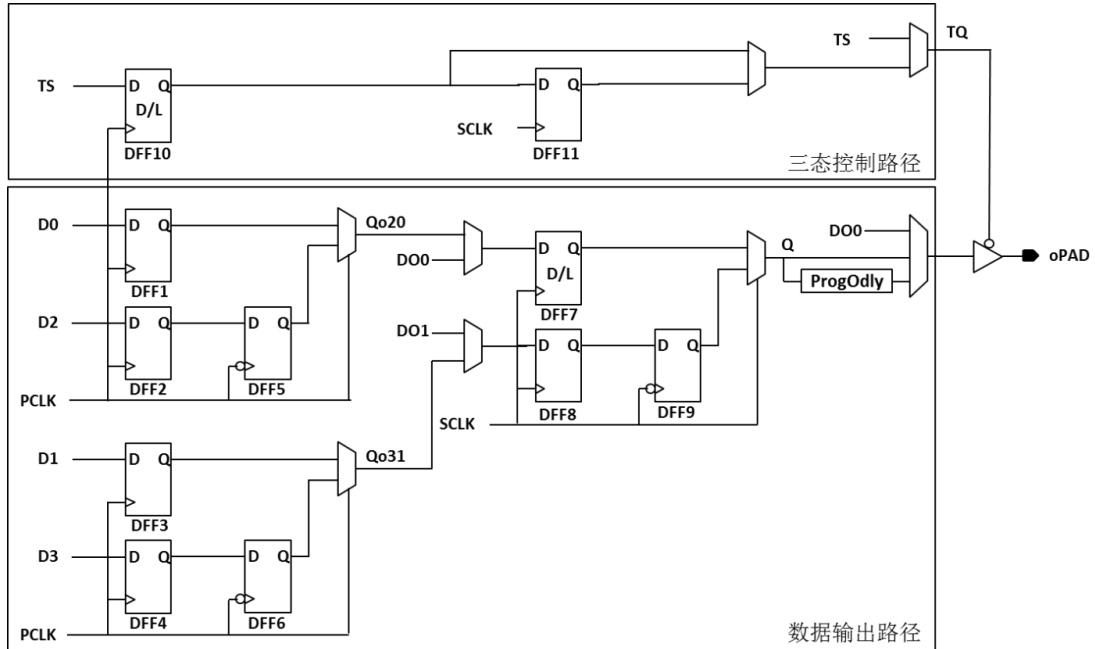


图 2-7- 10 输出寄存器框图

2.9.2.1 普通输出模式

普通输出模式下的 IO 逻辑如图 2-7- 11 所示，此模式下信号直接从 FPGA 内部逻辑输出到 PAD。

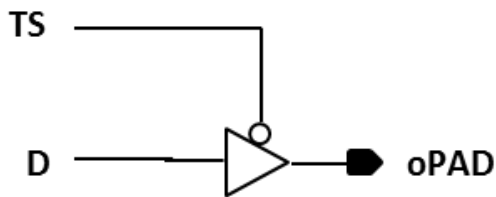


图 2-7- 11 普通输出模式框图

2.9.2.2 SDR 输出模式

相比普通模式，如图 2-7- 12 所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

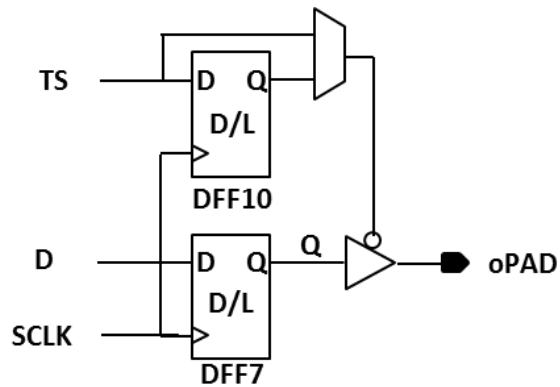
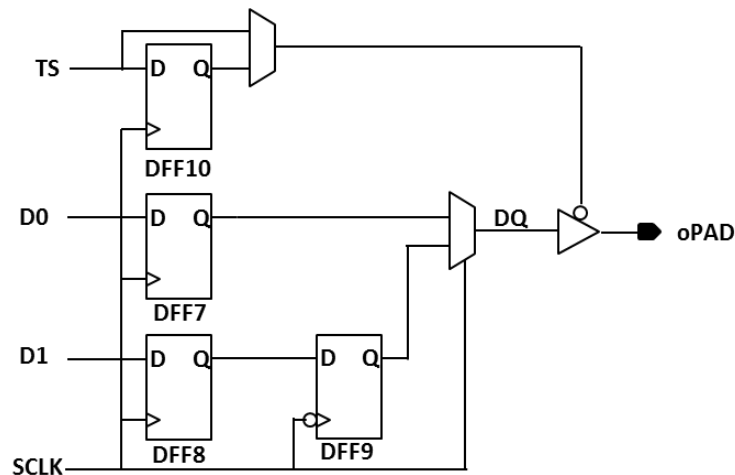


图 2-7- 12 SDR 输出模式框图

2.9.2.3 DDR 输出模式

EF4 器件 IOL 中有专用的寄存器用以支持 oDDR_{x1} 和 oDDR_{x2} 模式。

■ oDDR_{x1} 输出模式


 图 2-7- 13 oDDR_{x1} 输出模式框图

在 oDDR_{x1} 模式，数据 D00 和 D01 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 oPAD，时序如图 2-7- 14 所示。

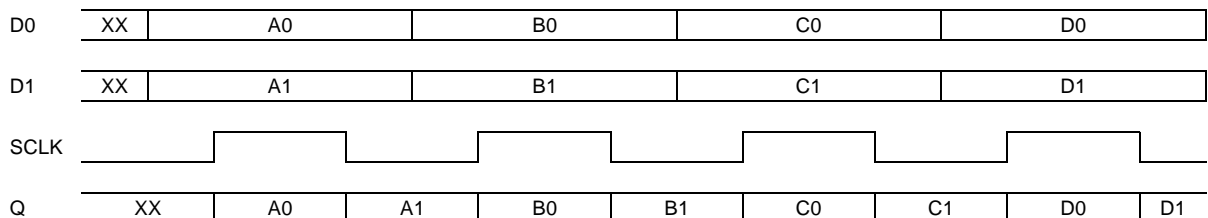


图 2-7- 14 oGDDR 输出模式

■ oDDR_{x2} 输出模式

oDDR_{x2} 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，

实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

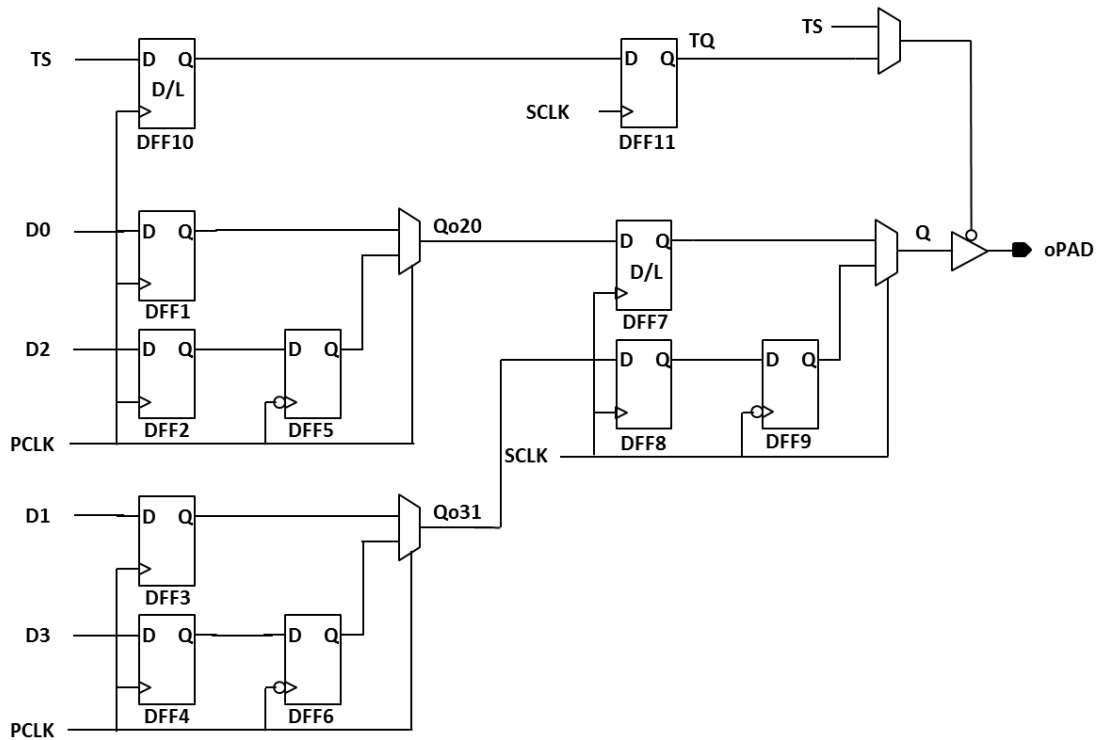


图 2-7- 15 oDDRx2 输出模式

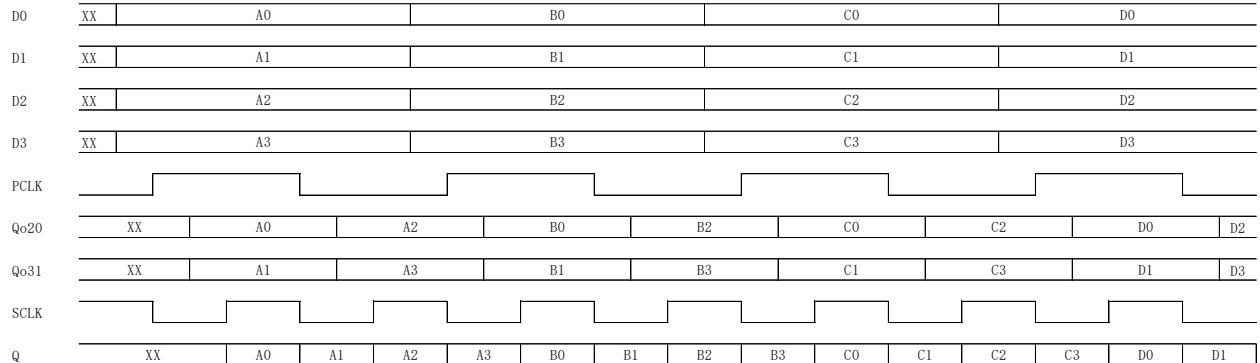


图 2-7- 16 oDDRx2 输出模式时序

■ oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

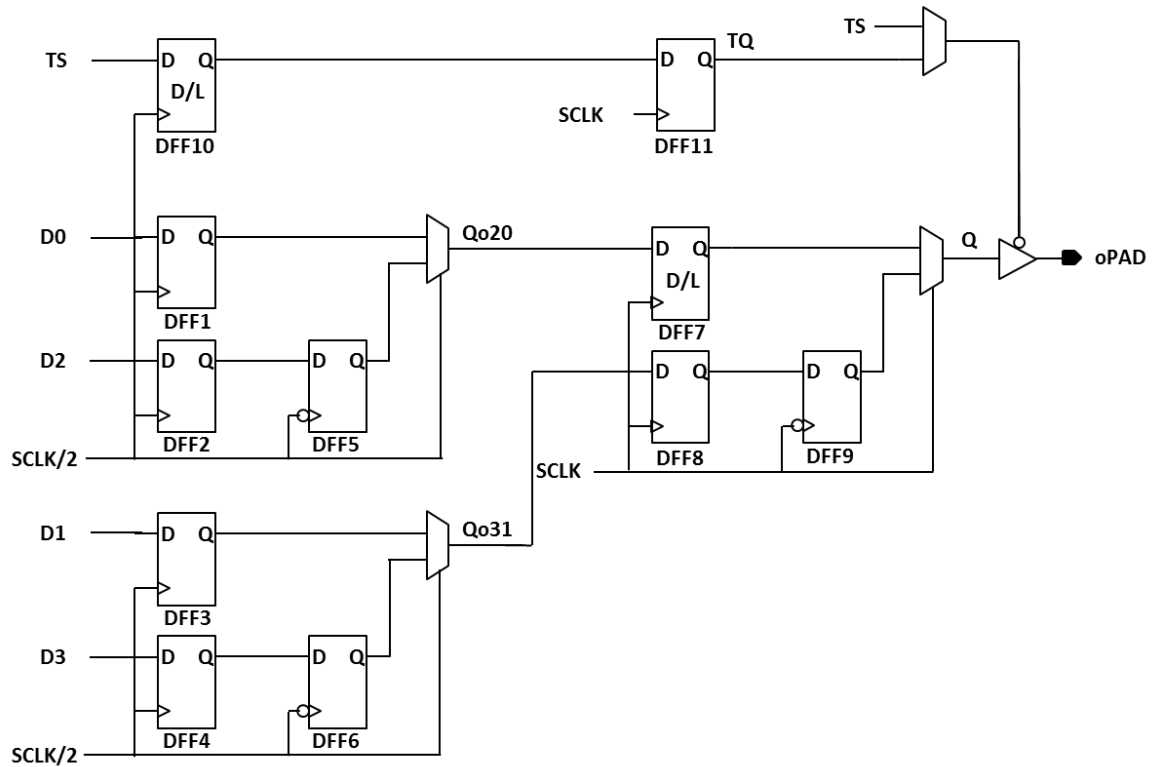


图 2-7- 17 oDDRx2L 输出模式

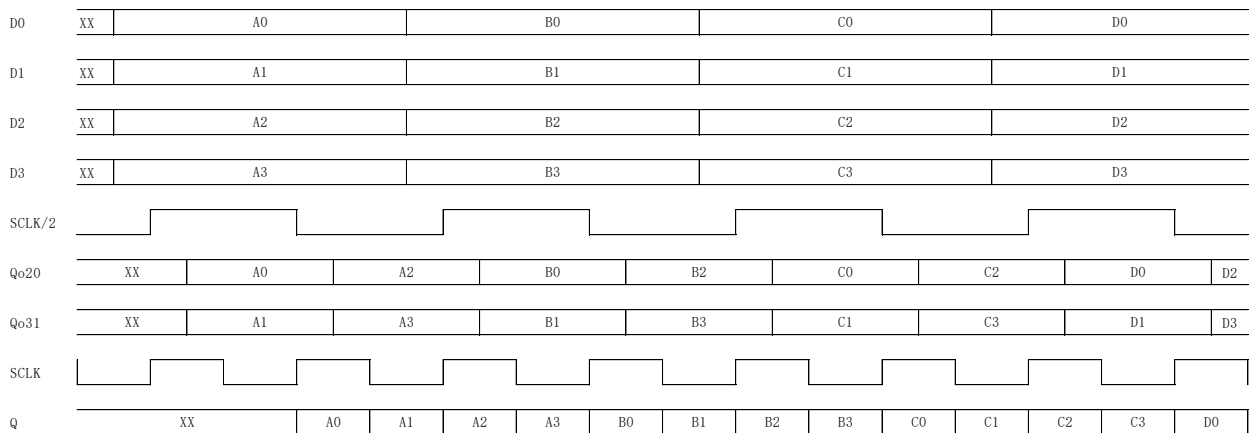


图 2-7- 18 oDDRx2L 输出模式时序

2.9.2.4 输出延时单元

每一个 IOLE 逻辑单元内都包含一个可编程输出延时单元，总共支持 4 级调节。支持静态控制延迟的方式。

表 2-7-3 输出延时调整范围

IOLE 类型	可调整 Step	平均步进精度	最大延时大约
IOLE_Min	4	62ps	0.267ns
IOLE_Max	4	90ps	0.429ns

2.10 输入输出缓冲器 (IOB)

2.10.1 IOB 简介

EF4 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。功能包括输出强度和斜率的可编程控制。

EF4 的 IOB 均为增强型 IOBE，统称为 IOB，每个 IOB 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。

IOB 支持电平标准：

- 单端 I/O 标准 (LVCMOS、LVTTTL、PCI)
- 差分 I/O 标准 (LVDS、LVPECL)

IOB 支持上述电平标准的同时，IOB 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

表 2-8- 1 EF4 支持电气标准

Description	BANK0/2	BANK1/3/4/5
IO Buffer Type	Single Ended and Differential	Single Ended
Output Standards Supported	LVTTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33	LVTTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33
Inputs	All Single Ended Differential	All Single Ended Differential
Clock Inputs	All Single Ended Differential	All Single Ended Differential
True LVDS Outputs	LVDS25 ¹	-

Description	BANK0/2	BANK1/3/4/5
	LVDS33 ¹	
Emulated LVDS Outputs	LVDS25_E LVDS33_E LVPECL33_E	LVDS25_E LVDS33_E LVPECL33_E
Rdiff 100	Yes	-
PCI Clamp	Yes	Yes

注 1: Bank0/2 所有 I/O 对支持真差分输出

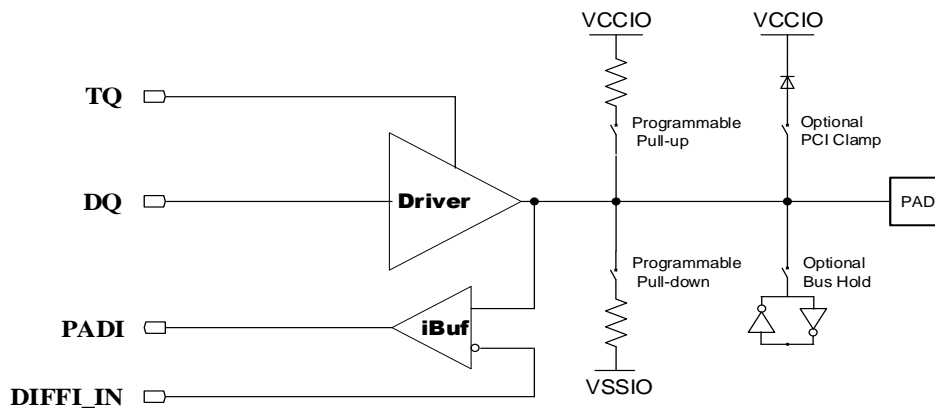


图 2-8- 1 基本 IOB 框图

各 IOB 直接连接 IOL 组成输入输出逻辑对, 该逻辑对包含输入和输出逻辑资源, 可用于数据和 IOB 的三态控制。

2.10.2 I/O 分组

EF4 器件有 6 个 I/O 组, 每一个 I/O 组由对应的 VCCIO 供电。

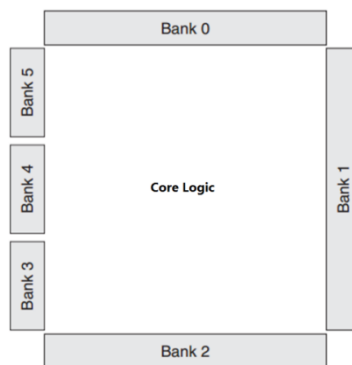


图 2-8- 2 I/O 分组示意图

2.10.3 高速 LVDS 接口

EF4 系列器件支持的差分标准见表 2-8- 2

表 2-8- 2 EF4 支持的差分标准

差分标准	接收		发送	
	支持	内部电阻	支持	外部电阻
LVDS	YES	YES	YES	不需要
LVPECL	YES	NO	YES	3R 电阻网络

EF4L90 BANK0/2 的所有引脚均有 100 欧差分输入电阻，需要注意的是，内部的 100 欧姆电阻是可以关闭的，可以使用外部电阻。同时，只有具有真差分标识的引脚为真差分，支持真差分输出。

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入。

作为输出时，True LVDS 直接输出 LVDS 标准电平，无需外部匹配电阻，如下图所示。

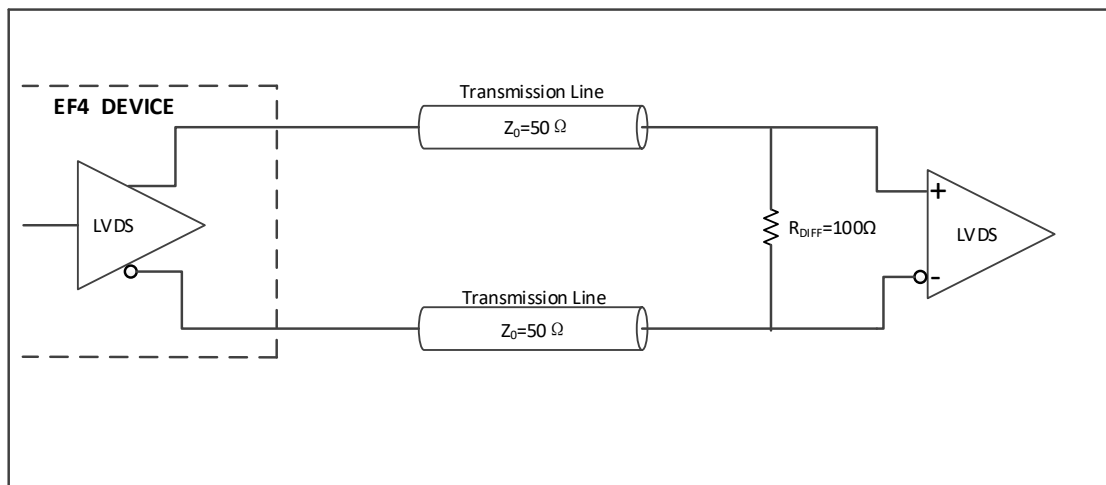


图 2-8- 3 True LVDS 输出

Emulated LVDS 作为输出时，采用 LVDS25_E 或者 LVDS33_E 标准，且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 2-8- 4 所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

表 2-8- 3 给出了 Emulated LVDS 推荐电阻值。

表 2-8- 3 Emulated LVDS 推荐电阻值

电阻 (欧姆)		信号幅值 (毫伏)	
R_s	R_p	LVDS25_E	LVDS33_E
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

注 1: 数据基于驱动能力设定为 8mA, 接收器的 100 欧端接电阻可以是片上电阻也可以是片外电阻。当接收端信号幅值大于 500mv 时必须采用片外电阻。芯片内阻为 20 欧姆

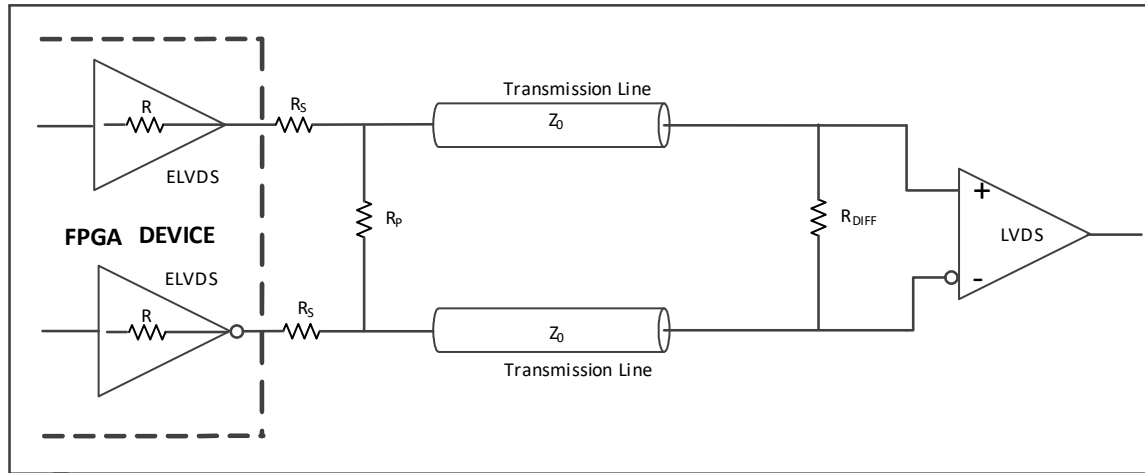


图 2-8- 4 Emulated LVDS 输出 3R 电阻网络

2.10.4 LVPECL

EF4 系列 FPGA 的 I/O 支持 LVPECL 输入。对于 EF4 系列 FPGA，接收 LVPECL 输入信号时需要外接偏置电路来调节差分信号的共模电压，保证信号能够正常接收。不同 V_{CCIO} 电压对应的偏置电阻值不同。如下图所示为 LVPECL 推荐的交流耦合电路示意图。通常 LVPECL 外部器件发送的差分信号比较大，还需要在板级做相应的信号衰减。图中 R_{series} 用于调节接收端信号幅度。根据 LVPECL 发送端信号幅度进行选择，建议在 $30\sim 50$ 欧姆之间选取。 R 为直流偏置电阻，建议在 $140\sim 150$ 欧姆之间选取。 R_{DIFF} 为端接电阻，可以选择内部 100 欧姆或者板级 100 欧姆。下表为不同电压下 LVPECL 作为输入时偏置电阻设置。

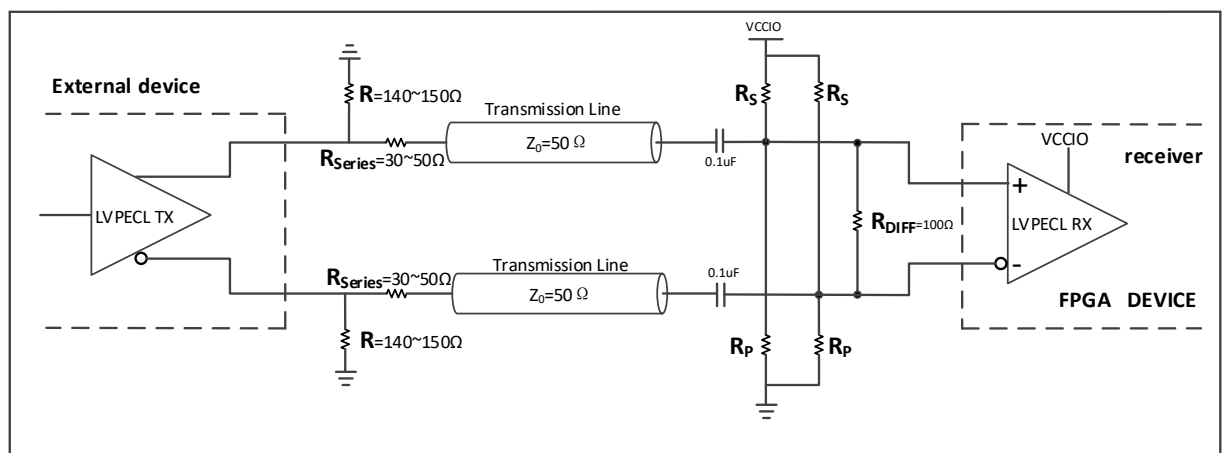


图 2-8- 5 LVPECL 推荐的交流耦合电路

表 2-8- 4 LVPECL 推荐电阻值

V _{CCIO} (V)	电 阻 (欧姆)	
	R _S	R _P
3.3	6.5k	4.1k
2.5	5k	5k
1.8	4.5k	9k

对于 EF4 系列 FPGA I/O 只支持 LVPECL33_E 输出。当 LVPECL33_E 作为输出时，需要外接 3R 电阻网络对输出电压摆幅进行衰减以满足差分标准。如下图所示为 LVPECL33_E 输出 3R 电阻网络电路示意。如表 2-8-5 所示给出了 LVPECL33_E 推荐电阻值和信号幅值。

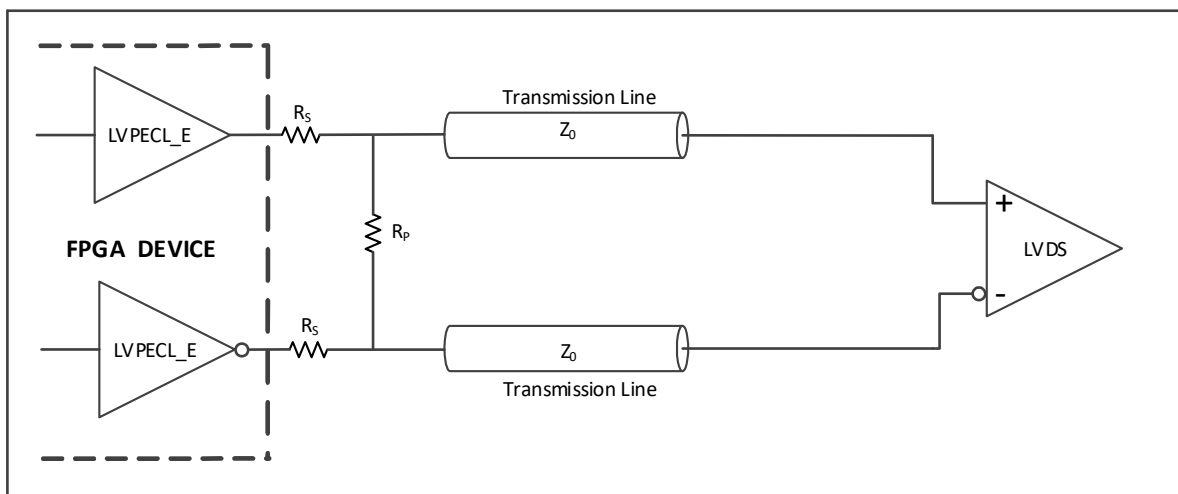


图 2-8- 6 LVPECL33_E 输出 3R 电阻网络

表 2-8- 5 LVPECL33_E 推荐电阻值

电 阻 (欧姆)		信号幅值 (mv) V _{op} -V _{on}
R _S	R _P	LVPECL33_E
93	196	800
115	160	650

注：数据基于驱动能力设定为 LVCMOS33 16mA，并且内阻为 R=10 欧姆接收器带 100 欧姆外接端接电阻；

2.11 EF4 FPGA 配置说明

EF4 FPGA 内置 8Mbit spi flash。配置是通过往芯片内部装载配置数据来实现，支持内部和外部下载。EF4 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，TD 软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

2.11.1 配置模式

EF4 支持 4 种配置方式，分别是从动串行，从动并行，内部 SPI 模式和 JTAG 配置模式。内部 SPI 模式支持 x1, x2, x4 位宽。配置模式由内部 feature 寄存器决定，具体选择关系见表 2-9- 1。

EF4 系列 FPGA 配置位流最大~2.8M bits，长度与 ERAM 初始化数据长度相关。

2.11.1.1 EF4 配置模式

表 2-9- 1 EF4 配置模式及引脚

配置							
配置引脚名	类型	SS	SP	MSPI			JTAG
		从动串行	从动并行	内部 SPI			JTAG
		Slave Serial	Slave Parallel	X1	X2	X4	-
PROGRAMN	复用 IO	PROGRAMN					-
INITN	复用 IO	INITN					-
DONE	复用 IO	DONE					-
SCLK	复用 IO	SCLK		-			-
CSN	复用 IO	-	CSN	-			-
TMS TCK TDI TD0 JTAGEN	复用 IO						TMS TCK TDI TD0 JTAGEN
D[7:1]	复用 IO	-	D[7:1]	-			-
D[0]/DIN	复用 IO	DIN	D[0]	-			-

下面是 EF4 复用配置引脚：

- 配置时钟引脚（SCLK）
- 配置开始信号引脚（PROGRAMN）
- 配置完成引脚（DONE）
- 配置错误指示引脚（INITN）
- 模式配置片选引脚（CSN）
- 配置级联数据输出脚（DOUT）

- 边界扫描相关引脚（TDI, TDO, TMS, TCK, JTAGEN）
- 配置数据输入引脚（D[7:0]），D[0]可以作为从模式下的 DIN

DONE/INITN 是带内部弱上拉的开漏输出。

PROGRAMN INITN DONE 等信号的复用可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

2.11.2 配置流程

EF4 FPGA 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位，等待内部信号和电源稳定后，系统进入初始化阶段，装载 feature 寄存器值，内部配置信息清除，初始化完成后，FPGA 开始接收配置数据写入，写入完成后，FPGA 芯片进入启动阶段。

上电初始化过程

EF4 FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 PROGRAMN 后，系统进入初始化过程，初始化过程中，FPGA 装载 feature 寄存器，然后将清除内部所有配置点，复位内部寄存器。

配置数据写入

EF4 FPGA 初始化完成后，INITN 信号变为高电平，此时用户配置数据可以写入 EF4 FPGA。

INITN 信号变为高的时候，FPGA 根据 feature 寄存器内容确定配置模式。JTAG 可以在任何模式中进入。

配置过程中，INITN 信号变低表示配置出错，出错后可以选择重新加载。

启动阶段

EF4 FPGA 完成所有配置点和块 RAM 的数据写入之后，进入启动过程。EF4 FPGA 启动主要完成以下功能：

a) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 EF4 FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。

b) 释放全局三态信号 GTS，全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。

c) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。

d) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

2.11.3 MSPI 配置模式

在 MSPI 模式下，EF4 通过内部 Flash 进行配置。该模式下配置时钟由内部振荡器产生，用户能够选择下载频率范围。芯片上电时设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改频率，频率范围从 2.5MHz~24MHz。MSPI 支持 x1, x2, x4 位宽模式，可通过 Feature 寄存器设定。

内部 FLASH 数据写入可以使用安路 FPGA 下载器通过 JTAG 在线写入，批量生产时也可通过离线下载器写入。

图 2-9- 1 是 EF4 MSPI 配置方式连接图，PROGRAMN 信号控制复位 EF4 FPGA 配置，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功，芯片开始工作。

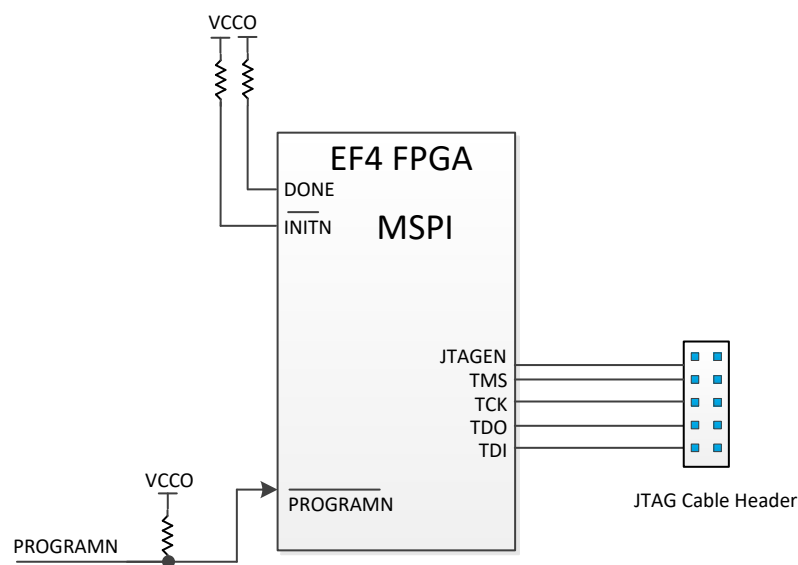


图 2-9- 1 EF4 MSPI 配置方式

2.11.4 从动串行配置模式

从动串行（SS）模式下，FPGA 可以通过 MCU 进行加载。TD 软件可以生成 bin 文件用于 MCU 加载。

MCU 通过 SCLK、DIN 信号使用串行方式将数据写入 FPGA。EF4 FPGA 芯片在每个 SCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN 信号拉低

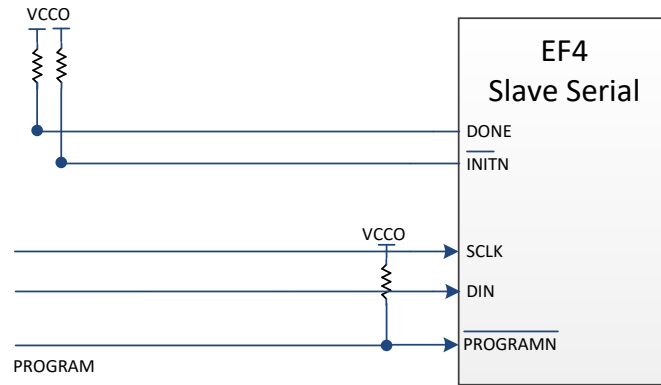


图 2-9- 2 EF4 串行配置方式

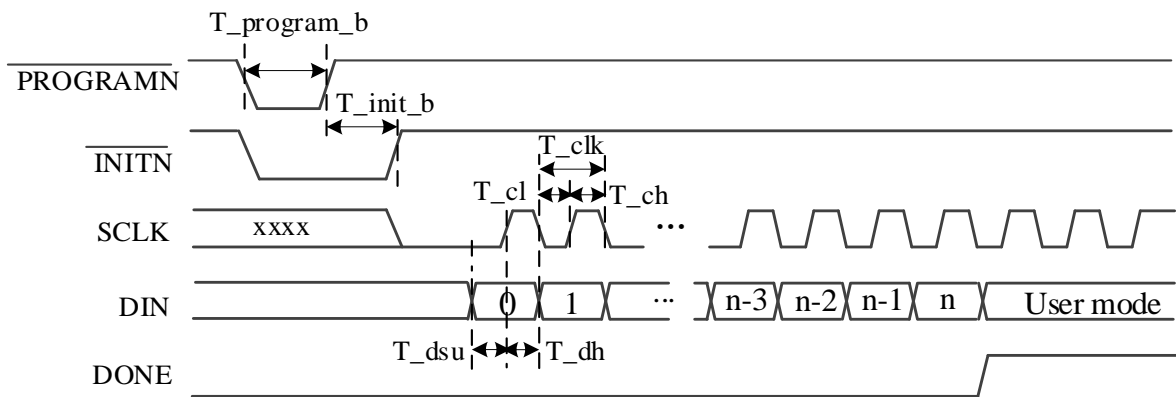


图 2-9- 3 EF4 串行配置模式时序图

表 2-9- 2 从动串行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width	-	55	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据。
2. EF4 系列器件使用从动串行模式加载时，若用户需要将配置管脚(SCLK/CSON, DOUT/TMS/TDI/TDO/TCK)复用为 GPIO，或是通过逻辑对 FLASH 进行读写操作，则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出。

2.11.5 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行通过 8 位并行数据写入能够达到较快的配置速度。

如图 2-9-4 所示，其中多个 CSN 信号可以选择多个配置芯片。

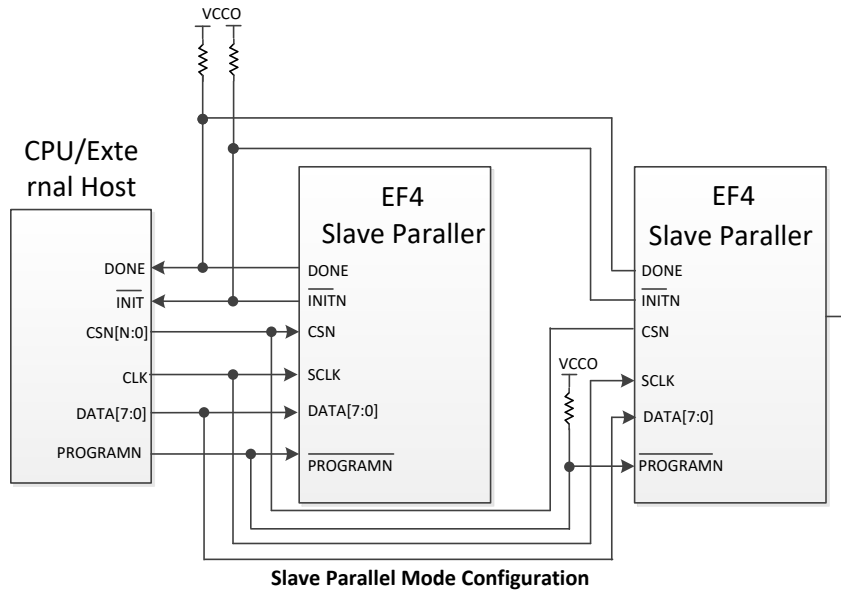


图 2-9-4 从动并行配置方式

从动并行配置模式时序如图 2-9-5 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入。同样，配置完成后，DONE 信号会变高。

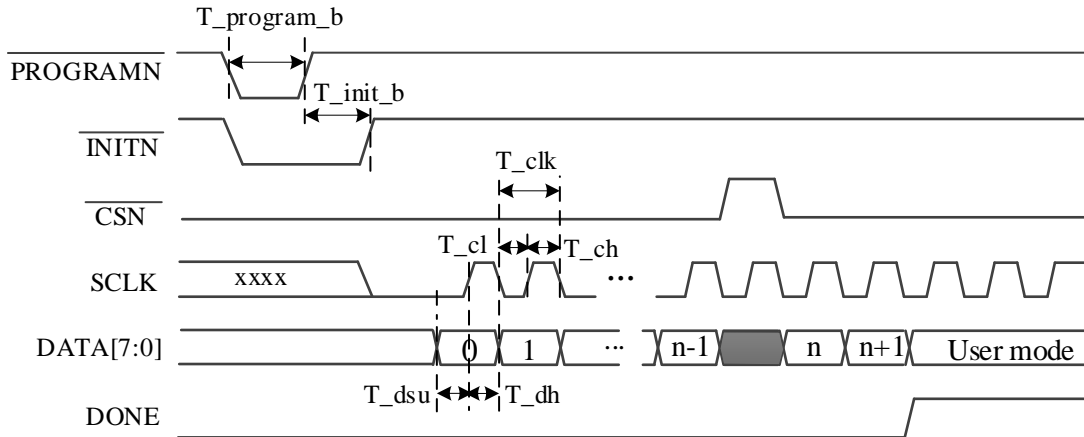


图 2-9-5 EF4 从动并行配置时序图

表 2-9-3 从动并行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width	-	55	ms
T_clk	SCLK period	33	-	ns

符号	参数	最小	最大	单位
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据
2. EF4 系列器件使用从动并行模式加载时，若用户需要将配置管脚(SCLK/CSON, DOUT/TMS/TDI/TDO/TCK)复用为 GPIO，或是通过逻辑对 FLASH 进行读写操作，则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出。

2.11.6 JTAG 配置模式

EF4 FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过配置引脚 (TDI, TDO, TMS, TCK, JTAGEN) 进行的。在 INITN 信号变高后，JTAG 可以通过指令中断其他模式，进入 JTAG 配置模式。

TDI, TDO, TMS, TCK, JTAGEN 为复用 IO。当 TDI, TDO, TMS, TCK 配置为专用 IO 时，JTAGEN 可配置成用户 IO。当 TDI, TDO, TMS, TCK 配置成用户 IO 时，JTAGEN=1 可以将 TDI, TDO, TMS, TCK 强制变成专用 IO。

JTAG 配合使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

JTAG 配置模式参考时序与时序规格如图 2-9- 6 图 2-9- 6 EF4 JTAG 时序图和表 2-9- 4 所示。

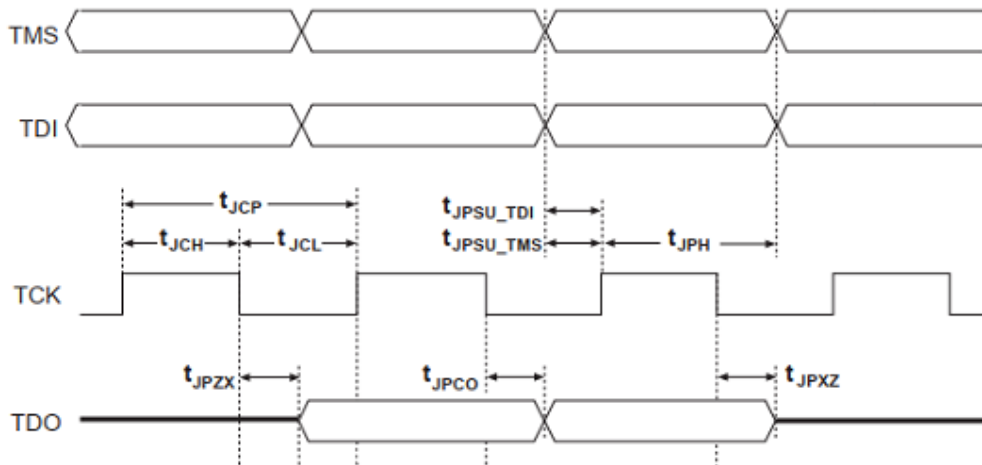


图 2-9- 6 EF4 JTAG 时序图

表 2-9- 4 EF4 JTAG 时序规格表

符号	参数	最小	最大	单位
t _{JCP}	TCK 周期	100	-	ns
t _{JCH}	TCK 高电平时间	48	-	ns
t _{JCL}	TCK 低电平时间	48	-	ns

符号	参数	最小	最大	单位
t _{JPSU_TDI}	TDI 建立时间	6	—	ns
t _{JPSU_TMS}	TMS 建立时间	8	—	ns
t _{JPH}	JTAG 端口保持时间	10	—	ns
t _{JPCO}	JTAG 端口时钟到输出延时	—	16	ns
t _{JPZX}	JTAG 端口有效输出到高阻转换时间	—	16	ns
t _{JPXZ}	抓取寄存器建立时间	—	16	ns

注：若采用 MSPI 加载模式，并且通过 JTAG 非背景升级外部 Flash 数据，TCK 的频率要大于等于 100K。

2.11.7 IEEE 1149.1 边界扫描测试

EF4 器件所有 IO 都集成边界扫描单元，可以通过标准 1149.1 TAP 控制器来访问和控制 IO，边界扫描指令可以在任何状态下访问 IO 单元（SAMPLE 指令只能在用户模式且为 INPUT 或 INOUT 下使用）。

2.11.8 DUAL BOOT 功能

EF4 在 MSPI 模式下支持 Dual Boot 功能。当 Primary 位流下载失败后，EF4 FPGA 自动跳转到地址 0x060000 去读取 golden 位流。图 2-9-7 所示为 Dual Boot 下内部 SPI Flash 的数据空间分配。

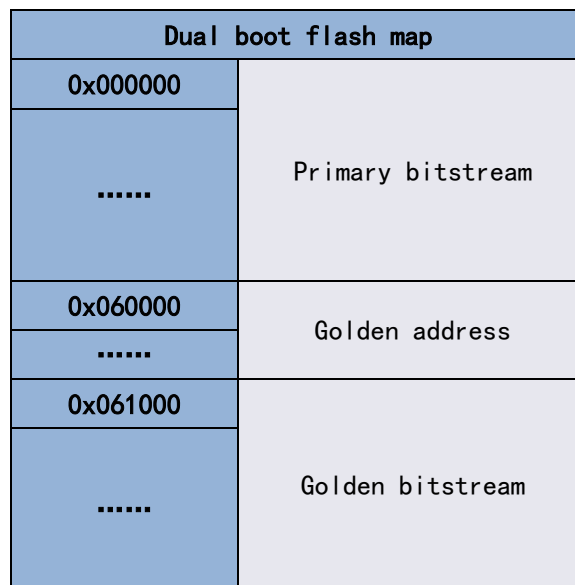


图 2-9-7 EF4 Dual Boot SPI Flash 的数据空间分配

2.11.9 MULT BOOT 功能

MSPI 模式下，用户可以使用 TD 软件设置 Mult Boot 功能。当进入用户模式后，应用本身可以通过接口触发信号 rebootn=0，从指定的内部 SPI Flash 地址重新开始下载位流。需要注意的是，rebootn 信号保持低电平的时间需大于 2.5us。由于 EF4 内部 flash 限制，建议只存放两套位流，第二个 bit 流存放在 0x060000 位置处。

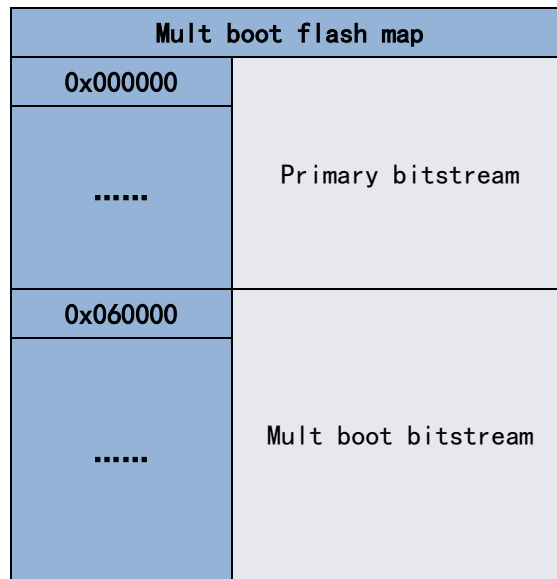


图 2-9- 8 EF4 Mult Boot SPI Flash 的数据空间分配

2.11.10 FPGA I/O 引脚在配置阶段的设置

在配置阶段，FPGA 的专用引脚有上拉/下拉电阻，用户 I/O 引脚在配置过程中有可选的上拉电阻。HSWAPEN 控制位来决定用户 I/O 引脚上是否使能上拉电阻。

在 EF4 中，HSWAPEN 默认值为 0，只能通过软件改写。

2.11.11 FPGA I/O 引脚在配置阶段的状态

(1) 非配置相关 IO

芯片上电完成后 feature 寄存器加载前，非配置相关 IO 处于三态；

加载过程中，普通 IO 的状态受 HSWAPEN 控制，可以为弱上拉或者三态；

进入用户模式之后，用户使用的 IO 脚状态受代码控制，未使用的管脚为弱上拉状态

(2) FPGA I/O 引脚状态，如表 2-9- 5 所示

表 2-9- 5 EF4 Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0(enable)	HSWAPEN=1(disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
GSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TD0 TDI	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
JTAGEN			
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
USRCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

2.11.12 DNA 安全功能

EF4 FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以利用 DNA 进行用户设计保护。软件将提供 IP 接口，使用户读出 DNA 数据。如图 2-9- 9、图 2-9- 10 所示。din 为移位数据输入，用于接口测试使用。

clk 时钟频率范围 0~20MHz，shift_en 建议采用时钟下降沿送出，保证时序要求。

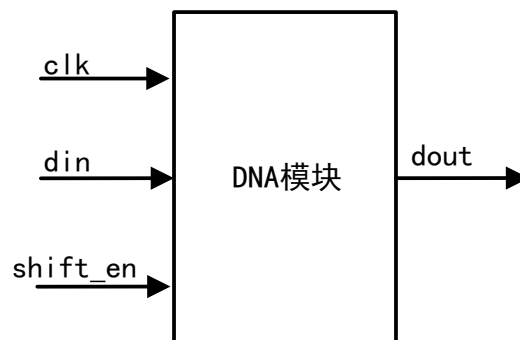


图 2-9- 9 EF4 DNA IP

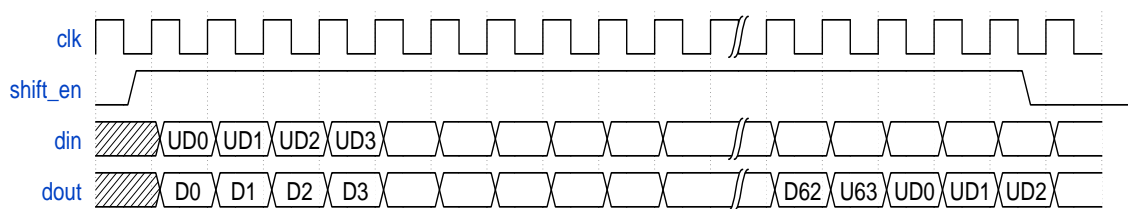


图 2-9- 10 EF4 DNA 时序图

3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：车规级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

表 3-1- 1 最大绝对额定值

Symbol	参数	最小	最大	单位	
V_{CCAUX}	辅助电源	-0.4	3.7	V	
V_{CCIO}	I/O驱动供电电压	-0.4	3.7	V	
V_I	直流输入电压	增强型 IOB	-0.4	3.7	V
V_{ESDHBM}	HBM 静电放电电压	-	±2000	V	
V_{ESDCDM}^1	CDM 静电放电电压	-	±750	V	
$I_{Latchup}$	闩锁电流	-	+/-100	mA	
T_{STG}	存储温度	-55	150	°C	
T_J	结点温度	-40	125	°C	

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

输入 IO 在信号跳变过程中，可能会产生过冲或下冲，如图 3-1- 1 所示，

表 3-1- 2 给出了 10 年使用寿命下允许的最大过冲、下冲的占比值。

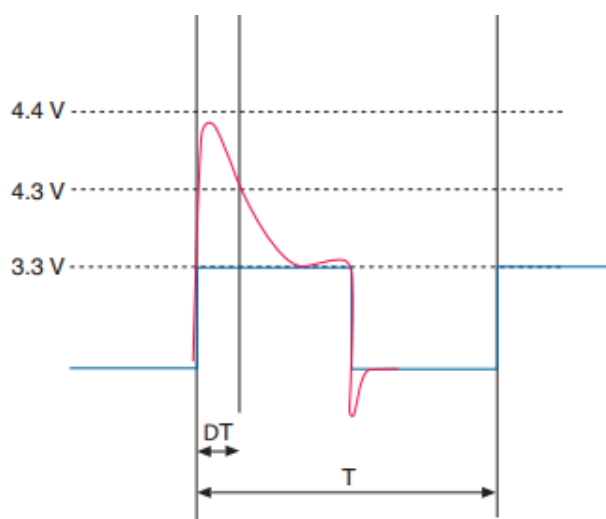


图 3-1- 1 输入信号过冲、下冲

表 3-1- 2 10 年使用寿命条件下允许的最大过冲、下冲占比

Parameter	Condition (V)	Under/Overshoot Duration as % of High Time	Unit
VI AC Input Voltage	-0.3	100	%
	-0.4	100	%
	-0.5	86	%
	-0.6	49	%
	-0.7	28	%
	-0.8	16	%
	-0.9	9.23	%
	-1	5.27	%
	-1.1	3	%
	3.7	100	%
	3.8	86	%
	3.9	49	%
	4	28	%
	4.1	16	%
	4.2	9.23	%
	4.3	5.27	%
	4.4	3	%

3.1.2 推荐基本操作条件

 表 3-1- 3 推荐基本操作条件^{1, 2}

Symbol	参数	最小	典型	最大	单位	
V _{CCAUX}	辅助电源	3.135	3.3	3.465	V	
V _{CCIO}	I/O 供电电压 @ 3.3V	3.135	3.3	3.465	V	
	I/O 供电电压 @ 2.5V	2.375	2.5	2.625	V	
	I/O 供电电压 @ 1.8V	1.71	1.8	1.89	V	
	I/O 供电电压 @ 1.5V	1.425	1.5	1.575	V	
	I/O 供电电压 @ 1.2V	1.14	1.2	1.26	V	
V _I ^{3, 4}	直流输入电压	增强型 IOB	-0.3	—	3.6	V
V _O	输出电压	0	—	V _{CCIO}	V	
T _J	芯片结温	-40	—	125	°C	
T _{RAMP}	电源缓变率	0.05	—	100	V/ms	
I _{Diode}	PCI-clamp 二极管电流	—	—	10	mA	

1. 器件工作时要求所有 I/O 的 V_{CCIO} 必须连接好电源

2. 所有输入缓冲器由 VCCIO 供电
3. IO 端口不能直接接地或者 VCCIO, 如有连接应用, 需要串接电阻。
4. 如果将真差分对管脚当作单端 IO 使用, 则要求最小输入电压不能低于-0.3V, 或真差分对的另外一个管脚不使用。

3.1.3 基本供电要求

表 3-1- 4 EF4L90 最小供电要求

电源域标识	基本供电要求 ³	备注
VCCAUX	=3.3V	必须供电
VCCIO0 ¹	>=1.5V	如果使用 JTAG 下载, 需要和下载器供电电压保持一致
VCCIO1	>=1.2V	必须供电 ²
VCCIO2	>=1.2V	必须供电 ²
VCCIO3	>=1.2V	必须供电 ²
VCCIO4	>=1.2V	必须供电 ²
VCCIO5	>=1.2V	必须供电 ²

1. POR 上电检测, 必须供电
2. 建议不用时也供电, 避免潜在风险
3. 如果使用 LVDS, 相应 bank 的供电电压应>=2.5V

3.1.4 单电源器件静态供电电流- B Devices^{1,2}

表 3-1- 5 静态电源电流

Symbol	参数	器件	典型	单位
I _{VCCIO}	I/O 组电源, @V _{CCIO} =3.3V	EF4L90	1.5	mA
I _{VCCAUX}	辅助电源	EF4L90	18	mA

1. 该表中的数值基于通用的推荐操作条件, 室温下 (T_J = 25°C) 使用典型器件测得。
2. 典型值为空白器件, 没有输出电流负载, 高阻抗状态下, 并当所有上拉/下拉电阻器在 I/O 引脚禁止时, 测量的所有 I/O 驱动的静态电源电流。

3.1.5 热插拔规格

表 3-1- 6 热插拔规格

Symbol	参数	最大	单位
I _{IOPIN(DC)}	DC 电流, 每个 I/O	1 ^{1,3}	mA
I _{IOPIN(AC)}	AC 电流, 每个 I/O	8 ^{2,3}	mA

1. DC 电流是在所有电源和 I/O 端口电平信号都不变化的情况下, 测到输入或者流出 IO 的最大电流。

2. AC 电流是在电源变化或者 I/O 端口信号变化, 且 I/O 端口信号变化 $\text{rise/fall time} \geq 10\text{ns}$ 条件的情况下测到输入或者流出 I/O 的最大电流。如果 $\text{rise/fall time} < 10\text{ns}$, $I_{IOPIN(AC)} = C \cdot dv/dt$, C 为 I/O 的负载电容, dv/dt 为 I/O 信号的 slew rate。rise/fall time 指信号变化从 10%~90% 的时间。

3. EF4L90 器件的配置相关引脚不支持热插拔。

3.1.6 上下电顺序

表 3-1- 7 上电复位电压阈值

Symbol	参数	最小	典型	最大	单位
$V_{\text{CCAUX_PORUP}}$	V_{CCAUX} 上电检测阈值	—	1.55	—	V
V_{ccio}	V_{ccio} 上电检测	—	1	—	V
$V_{\text{CCAUX_PORDN}}$	V_{CCAUX} 掉电检测阈值	—	1.35	—	V

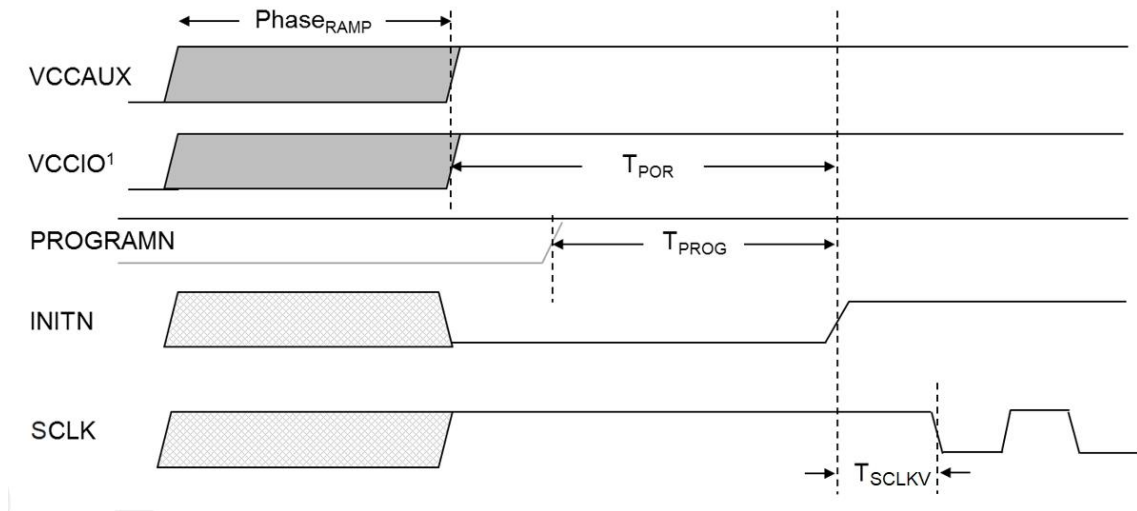


图 3-1- 2 器件上电时序图

1. POR 监测 JTAG 端口所在的 V_{CCIO}^* 电平
2. 对 V_{CCAUX} 、 V_{CCIO}^* 没有上电时序要求
3. 电源上电过程中 ($\text{Phase}_{\text{RAMP}}$) 所有的 IO 处于 3 态
4. T_{POR} 最大为 55ms, T_{PROG} 同 T_{POR} , T_{SCLKV} 约 6.4 us

3.1.7 I/O 管脚电容

表 3-1- 8 EF4 器件管脚电容

Symbol	参数	电容	单位
C_{IOTB}	上下管脚输入电容	6 ¹	pF
C_{IOLR}	左右管脚输入电容	7 ¹	pF

1. 该测量值代表芯片 die 上管脚电容，不包括封装

3.1.8 I/O 直流电气特性

表 3-1- 9 IOB 推荐基本操作条件

Symbol	参数	条件	最小	典型	最大	单位
I_{IL}, I_{IH}	输入漏电电流	$0 \leq V_i \leq V_{CC10} - 0.5V$	—	—	15	μA
I_{IH}	输入漏电电流	$V_{CC10} - 0.5V \leq V_i \leq V_{IH_MAX}$	—	—	150	μA
V_{HYST}	Hysteresis For Schmitt Trigger Input	$V_{CC10} = 3.3V$	—	420	—	mV
		$V_{CC10} = 2.5V$	—	260	—	mV
		$V_{CC10} = 1.8V$	—	100	—	mV
		$V_{CC10} = 1.5V$	—	70	—	mV
I_{PU}	I/O 弱上拉电流	$V_i = 0V, V_{CC10} = 3.3V$	25	—	250	μA
		$V_i = 0V, V_{CC10} = 2.5V$	25	—	250	μA
		$V_i = 0V, V_{CC10} = 1.8V$	25	—	250	μA
		$V_i = 0V, V_{CC10} = 1.5V$	25	—	250	μA
		$V_i = 0V, V_{CC10} = 1.2V$	25	—	250	μA
I_{PD}	I/O 弱下拉电流	$V_i = 3.3V, V_{CC10} = 3.3V$	25	—	250	μA
		$V_i = 2.5V, V_{CC10} = 2.5V$	25	—	250	μA
		$V_i = 1.8V, V_{CC10} = 1.8V$	25	—	250	μA
		$V_i = 1.5V, V_{CC10} = 1.5V$	25	—	250	μA
		$V_i = 1.2V, V_{CC10} = 1.2V$	25	—	250	μA

3.1.9 单端 I/O 直流电学特性

表 3-1- 10 EF4 器件 IOB 单端 I/O 标准规格

标准	V _{IL} (V)		V _{IH} (V)		V _{OL} 最大 (V)	V _{OH} 最小 (V)	I _{OL} (mA)	I _{OH} (mA)
	最小	最大	最小	最大				
LVTTTL33 LVCMOS33	-0.3	0.8	2.0	V _{CCIO} +0.3	0.4	V _{CCIO} - 0.4	4	-4
							8	-8
							12	-12
							16	-16
							20	-20
LVCMOS25	-0.3	0.7	1.7	V _{CCIO} +0.3	0.4	V _{CCIO} - 0.4	4	-4
							8	-8
							12	-12
							16	-16
LVCMOS18	-0.3	0.35*V _{CCIO}	0.65*V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} - 0.4	4	-4
							8	-8
							10	-10
LVCMOS15	-0.3	0.35*V _{CCIO}	0.65*V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} - 0.4	4	-4
							8	-8
LVCMOS12	-0.3	0.35*V _{CCIO}	0.65*V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} - 0.4	4	-4
PCI33	-0.3	0.3*V _{CCIO}	0.5*V _{CCIO}	V _{CCIO} +0.3	0.1*V _{CCIO}	0.9*V _{CCIO}	1.5	-0.5

表 3-1- 11 Single-Ended Interfaces

Input Standard	V _{CCIO} (Typ.)				
	3.3V	2.5 V	1.8V	1.5V	1.2V
LVTTTL33	√	√ ²	√ ²	√ ²	√ ²
LVCMOS33	√	√ ²	√ ²	√ ²	√ ²
LVCMOS25	√ ¹	√	√ ²	√ ²	√ ²
LVCMOS18		√ ¹	√	√ ²	√ ²
LVCMOS15			√ ¹	√	√ ²
LVCMOS12				√ ¹	√

1. Under-drive causes higher DC current when the IO is at logic high

2. 不能打开 PCI-clamp, 否则会产生漏电流

3.1.10 差分 I/O 电学特性

表 3-1- 12 EF4 LVDS 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V_{IP}, V_{IN}	输入电平	$V_{CC10}=2.5$	0.625	—	1.775	V
		$V_{CC10}=3.3$	0.625	—	1.775	V
V_{ID}	输入差分摆幅	$V_{CC10}=3.3/2.5$	150	350	550	mV
V_{ICM}	输入共模电压	$V_{CC10}=2.5$	0.9	1.25	1.5	V
		$V_{CC10}=3.3$	0.9	1.25	1.5	V
R_T	片内端接差分电阻		80	—	120	Ω
V_{OD}	标准差分输出摆幅	$ V_{OP} - V_{ON} , R_T = 100 \text{ ohm}$ $V_{CC10}=2.5$	150	250	350	mV
		$ V_{OP} - V_{ON} , R_T = 100 \text{ ohm}$ $V_{CC10}=3.3$	150	250	350	mV
V_{OCM}	输出共模电压	$(V_{OP} + V_{ON})/2, R_T = 100 \text{ ohm}$ $V_{CC10}=2.5$	0.9	1.2	1.5	V
		$(V_{OP} + V_{ON})/2, R_T = 100 \text{ ohm}$ $V_{CC10}=3.3$	0.9	1.2	1.5	V

- 当差分输入摆幅大于 500mV 时，只能使用外接 100 欧差分匹配电阻

表 3-1- 13 EF4 LVPECL33 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V_{IP}, V_{IN}	输入电平	$V_{CC10}=3.3$	0.625	—	1.775	V
V_{ID}	输入差分摆幅	$V_{CC10}=3.3$	150	350	550	mV
V_{ICM}	输入共模电压	$V_{CC10}=3.3$	0.9	1.25	1.5	V

- LVPECL 接收不能使用芯片内部 100 欧电阻

3.2 交流电气特性

本章节提供 EF4 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

3.2.1 时钟性能

表 3-2- 1 推荐的最大时钟操作频率

器 件	性 能	单 位
所有器件	440	Mhz

3.2.2 嵌入数字信号处理模块（DSP）规格

表 3-2- 2 EF4 嵌入 DSP 规格

器 件	性 能	单 位
M9x9 (All register)	350	Mhz
M18x18 (All register)	350	Mhz

3.2.3 锁相环(PLL) 规格

表 3-2- 3 EF4 器件的 PLL 规格

参 数	描 述	最 小	典 型	最 大	单 位
F_{IN}	输入时钟频率	10	—	400	MHz
F_{PFD}	鉴频鉴相器（PFD）输入频率	10	—	400	MHz
F_{VCO}	锁相环内部振荡器频率范围	300	—	1200	MHz
F_{OUT}	输出时钟频率	6.25	—	600	MHz
交流特性					
F_{INDUTY}	输入时钟占空比（10-49MHz）	25	—	75	%
	输入时钟占空比（50-199MHz）	30	—	70	%
	输入时钟占空比（200-400MHz）	35	—	65	%
$T_{INJITTER}^1$	输入时钟抖动， $f_{PFD} \geq 20$ MHz	—	—	800	ps p-p
	输入时钟抖动， $f_{PFD} < 20$ MHz	—	—	0.02	UI
$T_{OUTDUTY}$	输出占空比波动范围（用户设定值基础上波动）	-5	—	5	%
$T_{OUTJITTER}^2$	输出时钟周期抖动(Period Jitter)， $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ MHz	—	—	160	ps p-p
	输出时钟相邻周期抖动（Cycle-to-cycle Jitter）， $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ MHz	—	—	200	ps p-p
	输出时钟相位抖动（Phase Jitter）， $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ MHz	—	—	250	ps p-p
T_{LOCK}^3	PLL 锁定时间	—	—	200	us
T_{PLL_PS}	PLL 相移精度	—	—	± 125	ps



参数	描述	最小	典型	最大	单位
t_{RST}	复位脉冲最小宽度	5	—	—	ns
F_{DRP}	动态配置时钟	—	—	50	MHz

1. 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。PLL 不会滤掉低频输入噪声而是会跟上输入的低频噪声，PLL 会滤掉部分高频输入噪声。
2. 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
3. t_{LOCK} 之后，在输出端得到稳定时钟。

3.2.4 存储器模块（ERAM）规格

表 3-2- 4 EF4 存储器模块规格表

存储器	模式	性能	单位
ERAM9K	Clk to dout (无寄存器模式)	3.86	ns
	单口 512 x 18	220	MHz
	简单双口 512 x 18	220	MHz
	真双口 1024 x 9	220	MHz

3.2.5 高速 I/O 接口性能

表 3-2- 5 高速 I/O 接口性能表

输入/输出标准	描述	最大	单位
最大输入频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS33	LVDS, VCCIO = 3.3V	400	MHz
LVPECL33	LVPECL, VCCIO = 3.3V	400	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVC MOS33	LVC MOS, VCCIO = 3.3V	166	MHz
LVC MOS25	LVC MOS, VCCIO = 2.5V	166	MHz
LVC MOS18	LVC MOS, VCCIO = 1.8V	166	MHz
LVC MOS15	LVC MOS, VCCIO = 1.5V	166	MHz
LVC MOS12	LVC MOS, VCCIO = 1.2V	80	MHz
最大输出频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS33	LVDS, VCCIO = 3.3V	400	MHz
LVDS25_E	LVDS, Emulated, VCCIO = 2.5V	166	MHz
LVPECL33_E	LVPECL, Emulated, VCCIO = 3.3V	166	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVC MOS33	LVC MOS, VCCIO = 3.3V	166	MHz



输入/输出标准	描述	最大	单位
LVC MOS25	LVC MOS, VCC10 = 2.5V	166	MHz
LVC MOS18	LVC MOS, VCC10 = 1.8V	166	MHz
LVC MOS15	LVC MOS, VCC10 = 1.5V	166	MHz
LVC MOS12	LVC MOS, VCC10 = 1.2V	80	MHz

3.2.6 配置模块

表 3-2-6 EF4 器件配置模式时序规格表

下载模式	最小	典型	最大	单位
主模式串行 SPI (MSPI)	2.5	—	24	MHz
从模式串行 (SS)	—	—	30	MHz
从模式并行 x8 (SP)	—	—	30	MHz
JTAG	—	—	10	MHz

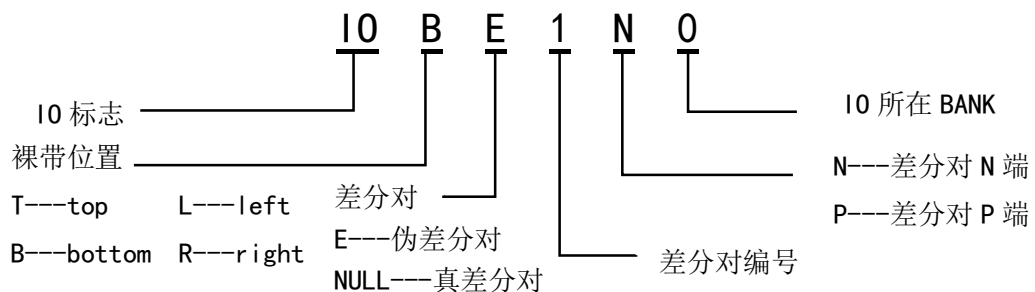
4 引脚和封装

4.1 引脚定义和规则

表 4-1- 1 引脚定义和规则

引脚名称	方向	描述
普通 I/O		
GND	—	电源地
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
GND_PLLx	—	PLL 地
时钟引脚		
GCLKIOx	I/O	全局时钟专用输入引脚
GPLLx_OUTx	I/O	PLL 专用输出引脚
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 使能
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
PROGRAMN	输入	全局复位输入，低有效
CCLK	I/O	配置时钟专用输入引脚
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路

4.2 IO 命名规则



4.3 caBGA324 引脚信息

编号	BANK	caBGA324 引脚说明	编号	BANK	caBGA324 引脚说明
A3	0	I0_L1P_0	E5	0	I0_L20N_0
B4	0	I0_L1N_0	F7	0	I0_L21P_0
C3	0	I0_L2P_0	E6	0	I0_L21N_0
C4	0	I0_L2N_0	C5	0	I0_L22P_0
A2	0	I0_L3P_0	D6	0	I0_L22N_0
B3	0	I0_L3N_0	C9	0	I0_L23P_0
A4	0	I0_L4P_0	D9	0	I0_L23N_0
A5	0	I0_L4N_0	E8	0	I0_L24P_0
B6	0	I0_L5P_0	F8	0	I0_L24N_0
A6	0	I0_L5N_0	D8	0	I0_L25P_0
A7	0	I0_L6P_0	E7	0	I0_L25N_0
B7	0	I0_L6N_0	F9	0	I0_L26P_0
B8	0	I0_L7P_0	F10	0	I0_L26N_0
A8	0	I0_L7N_0	E9	0	I0_L27P_0, GCLKIOL_2
A10	0	I0_L8P_0	D10	0	I0_L27N_0, GCLKIOL_3
B10	0	I0_L8N_0	E10	0	I0_L28P_0
A9	0	I0_L9P_0, GCLKIOL_0	E11	0	I0_L28N_0
B9	0	I0_L9N_0, GCLKIOL_1	E12	0	I0_L29P_0
A11	0	I0_L10P_0	F12	0	I0_L29N_0
A12	0	I0_L10N_0	D14	0	I0_L30P_0
C10	0	I0_L11P_0	D15	0	I0_L30N_0
B11	0	I0_L11N_0	F11	0	I0_L31P_0
B12	0	I0_L12P_0	C13	0	I0_L31N_0
C11	0	I0_L12N_0	D13	0	I0_L32P_0, GPLL1_OUTP
A13	0	I0_L13P_0	E13	0	I0_L32N_0, GPLL1_OUTN
A14	0	I0_L13N_0	D11	0	I0_L33P_0, JTAGEN
C12	0	I0_L14P_0	C16	0	I0_L34P_0, INITN
B13	0	I0_L14N_0	D12	0	I0_L33N_0, PROGRAMN
A15	0	I0_L15P_0	E14	0	I0_L34N_0, DONE
A16	0	I0_L15N_0	C7	0	I0_L35P_0, TCK
B16	0	I0_L16P_0	D7	0	I0_L36P_0, TD0
A17	0	I0_L16N_0	C8	0	I0_L35N_0, TMS
B14	0	I0_L17P_0	C6	0	I0_L36N_0, TDI
B15	0	I0_L17N_0			
C14	0	I0_L18P_0			
C15	0	I0_L18N_0			
D5	0	I0_L19P_0, GPLL0_OUTP			
B5	0	I0_L19N_0, GPLL0_OUTP			
D4	0	I0_L20P_0			



编号	BANK	caBGA324 引脚说明	编号	BANK	caBGA324 引脚说明
B18	1	IO_TE1P_1, GPLL1IP	M18	1	IO_TE21N_1
C17	1	IO_TE1N_1, GPLL1IN	K14	1	IO_TE22P_1, D6
F14	1	IO_TE2P_1	J18	1	IO_TE22N_1, D7
D16	1	IO_TE2N_1	M17	1	IO_TE23P_1
E15	1	IO_TE3P_1, GPLL1IP_REF	N18	1	IO_TE23N_1
C18	1	IO_TE3N_1, GPLL1IN_REF	L17	1	IO_TE24P_1, D4
F15	1	IO_TE4P_1	M16	1	IO_TE24N_1, D5
D17	1	IO_TE4N_1	M15	1	IO_TE25P_1
G13	1	IO_TE5P_1	P18	1	IO_TE25N_1, USRCLK
G14	1	IO_TE5N_1	L15	1	IO_TE26P_1, CSN
H14	1	IO_TE6P_1	L13	1	IO_TE26N_1
F17	1	IO_TE6N_1	P17	1	IO_TE27P_1, SCLK
E17	1	IO_TE7P_1	N15	1	IO_TE27N_1
D18	1	IO_TE7N_1	L14	1	IO_TE28P_1, D2
G15	1	IO_TE8P_1	N17	1	IO_TE28N_1, D3
F16	1	IO_TE8N_1	M14	1	IO_TE29P_1, D0
J14	1	IO_TE9P_1	N16	1	IO_TE29N_1, D1
J12	1	IO_TE9N_1	P16	1	IO_TE30P_1
E18	1	IO_TE10P_1	T18	1	IO_TE30N_1
G17	1	IO_TE10N_1	R18	1	IO_TE31P_1
E16	1	IO_TE11P_1	M13	1	IO_TE31N_1
H13	1	IO_TE11N_1	R17	1	IO_TE32P_1
G16	1	IO_TE12P_1	N14	1	IO_TE32N_1
H15	1	IO_TE12N_1	R16	1	IO_TE33P_1
H16	1	IO_TE13P_1	T17	1	IO_TE33N_1
F18	1	IO_TE13N_1	P15	1	IO_TE34P_1
J13	1	IO_TE14P_1	U18	1	IO_TE34N_1
G18	1	IO_TE14N_1			
J15	1	IO_TE15P_1			
H17	1	IO_TE15N_1			
J16	1	IO_TE16P_1			
J17	1	IO_TE16N_1			
K18	1	IO_TE17P_1			
L16	1	IO_TE17N_1			
H18	1	IO_TE18P_1, GCLKIOT_0			
K15	1	IO_TE18N_1, GCLKIOT_1			
K12	1	IO_TE19P_1			
K13	1	IO_TE19N_1			
K16	1	IO_TE20P_1, GCLKIOT_2			
K17	1	IO_TE20N_1, GCLKIOT_3			
L18	1	IO_TE21P_1, GSON, DOUT			



编号	BANK	caBGA324 引脚说明	编号	BANK	caBGA324 引脚说明
U16	2	I0_R1P_2	V4	2	I0_R21N_2
V17	2	I0_R1N_2	T7	2	I0_R22P_2
T15	2	I0_R2P_2	P8	2	I0_R22N_2
T16	2	I0_R2N_2	T5	2	I0_R23P_2
P13	2	I0_R3P_2	U5	2	I0_R23N_2
P14	2	I0_R3N_2	T6	2	I0_R24P_2
U15	2	I0_R4P_2	U6	2	I0_R24N_2
V16	2	I0_R4N_2	T3	2	I0_R25P_2
R13	2	I0_R5P_2	U4	2	I0_R25N_2
R15	2	I0_R5N_2	N8	2	I0_R26P_2
T14	2	I0_R6P_2	R7	2	I0_R26N_2
N12	2	I0_R6N_2	V2	2	I0_R27P_2
P12	2	I0_R7P_2	U3	2	I0_R27N_2
R14	2	I0_R7N_2	P5	2	I0_R28P_2
U13	2	I0_R8P_2	R6	2	I0_R28N_2
V14	2	I0_R8N_2	R5	2	I0_R29P_2
N11	2	I0_R9P_2	T4	2	I0_R29N_2
R11	2	I0_R9N_2	R4	2	I0_R30P_2
P10	2	I0_R10P_2	P6	2	I0_R30N_2
T11	2	I0_R10N_2	R12	2	I0_R31P_2
U14	2	I0_R11P_2	T13	2	I0_R31N_2
V15	2	I0_R11N_2	P11	2	I0_R32P_2
U12	2	I0_R12P_2	T12	2	I0_R32N_2
V13	2	I0_R12N_2	R9	2	I0_R33P_2
V11	2	I0_R13P_2	P9	2	I0_R33N_2
V12	2	I0_R13N_2	V7	2	I0_R34P_2
T10	2	I0_R14P_2	U8	2	I0_R34N_2
R10	2	I0_R14N_2	V5	2	I0_R35P_2
V10	2	I0_R15P_2, GCLK1OR_2	V6	2	I0_R35N_2
U11	2	I0_R15N_2, GCLK1OR_3	N7	2	I0_R36P_2
V8	2	I0_R16P_2	P7	2	I0_R36N_2
U9	2	I0_R16N_2			
T8	2	I0_R17P_2, GCLK1OR_0			
T9	2	I0_R17N_2, GCLK1OR_1			
V9	2	I0_R18P_2			
U10	2	I0_R18N_2			
N9	2	I0_R19P_2			
N10	2	I0_R19N_2			
U7	2	I0_R20P_2			
R8	2	I0_R20N_2			
V3	2	I0_R21P_2			



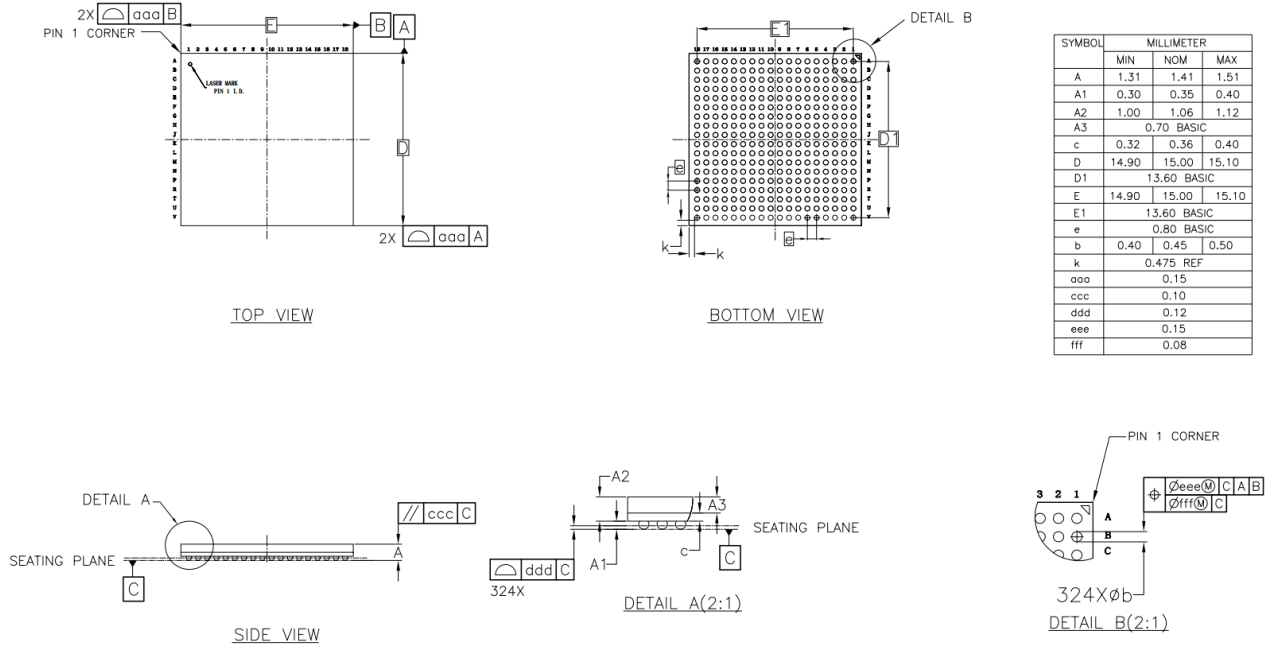
编号	BANK	caBGA324 引脚说明	编号	BANK	caBGA324 引脚说明
P2	3	I0_BE1P_3	J1	5	I0_BE1N_5
M6	3	I0_RE1N_3	H2	5	I0_BE2P_5
L4	3	I0_RE2P_3	H1	5	I0_BE2N_5
M2	3	I0_RE2N_3	F1	5	I0_BE3P_5
M5	3	I0_BE3P_3	G6	5	I0_BE3N_5
N3	3	I0_BE3N_3	E2	5	I0_BE4P_5
P4	3	I0_BE4P_3	E1	5	I0_BE4N_5
R3	3	I0_BE4N_3	G2	5	I0_BE5P_5
R1	3	I0_BE5P_3	G1	5	I0_BE5N_5
P3	3	I0_BE5N_3	H3	5	I0_BE6P_5
N1	3	I0_BE6P_3	H4	5	I0_BE6N_5
N2	3	I0_BE6N_3	F2	5	I0_BE7P_5
M1	3	I0_BE7P_3	H5	5	I0_BE7N_5
L6	3	I0_BE7N_3	G4	5	I0_BE8P_5, GCLK10B_4
P1	3	I0_BE8P_3, GCLK10B_0	G3	5	I0_BE8N_5, GCLK10B_5
M4	3	I0_BE8N_3, GCLK10B_1	F3	5	I0_BE9P_5
M3	3	I0_BE9P_3	D1	5	I0_BE9N_5
L5	3	I0_BE9N_3	D2	5	I0_BE10P_5, GPLL01P_REF
N4	3	I0_BE10P_3	G5	5	I0_BE10N_5, GPLL01N_REF
T1	3	I0_BE10N_3	E3	5	I0_BE11P_5
R2	3	I0_BE11P_3	F5	5	I0_BE11N_5
U1	3	I0_BE11N_3	E4	5	I0_BE12P_5, GPLL01P
T2	3	I0_BE12P_3	F4	5	I0_BE12N_5, GPLL01N
N5	3	I0_BE12N_3	B1	5	I0_BE13P_5
K6	4	I0_BE1P_4	G2	5	I0_BE13N_5
L3	4	I0_BE1N_4	D3	5	I0_BE14P_5
K1	4	I0_BE2P_4	C1	5	I0_BE14N_5
L1	4	I0_BE2N_4			
K7	4	I0_BE3P_4			
K5	4	I0_BE3N_4			
K4	4	I0_BE4P_4			
L2	4	I0_BE4N_4			
J3	4	I0_BE5P_4			
J7	4	I0_BE5N_4			
J4	4	I0_BE6P_4			
K3	4	I0_BE6N_4			
J2	4	I0_BE7P_4			
J5	4	I0_BE7N_4			
K2	4	I0_BE8P_4, GCLK10B_2			
J6	4	I0_BE8N_4, GCLK10B_3			
H6	5	I0_BE1P_5			



编号	BANK	caBGA324 引脚说明	编号	BANK	caBGA324 引脚说明
M12	-	VCCAUX	V18	-	GND
L11	-	VCCAUX	F6	-	GND_PLLA0
L10	-	VCCAUX	F13	-	GND_PLLA1
L9	-	VCCAUX			
L8	-	VCCAUX			
H11	-	VCCAUX			
H10	-	VCCAUX			
H9	-	VCCAUX			
H8	-	VCCAUX			
G12	-	VCCAUX			
G8	0	VCC100			
G9	0	VCC100			
G10	0	VCC100			
G11	0	VCC100			
H12	1	VCC101			
J11	1	VCC101			
K11	1	VCC101			
L12	1	VCC101			
M8	2	VCC102			
M9	2	VCC102			
M10	2	VCC102			
M11	2	VCC102			
L7	3	VCC103			
M7	3	VCC103			
J8	4	VCC104			
K8	4	VCC104			
G7	5	VCC105			
H7	5	VCC105			
A1	-	GND			
A18	-	GND			
B2	-	GND			
B17	-	GND			
J9	-	GND			
J10	-	GND			
K9	-	GND			
K10	-	GND			
N6	-	GND			
N13	-	GND			
U2	-	GND			
U17	-	GND			
V1	-	GND			

4.4 封装信息

4.4.1 caBGA324 封装规格



5 订购信息

表 5- 1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级
EF4	L	90	CG324	A

■ 产品系列

◇ EF4 EF4 系列

■ 类别

◇ L 逻辑器件

■ 查找表容量

◇ 90 9280 查找表

■ 封装类型: <类型><#>

◇ CG caBGA, substrate

◇ # 引脚数 (324 指 324 个引脚)

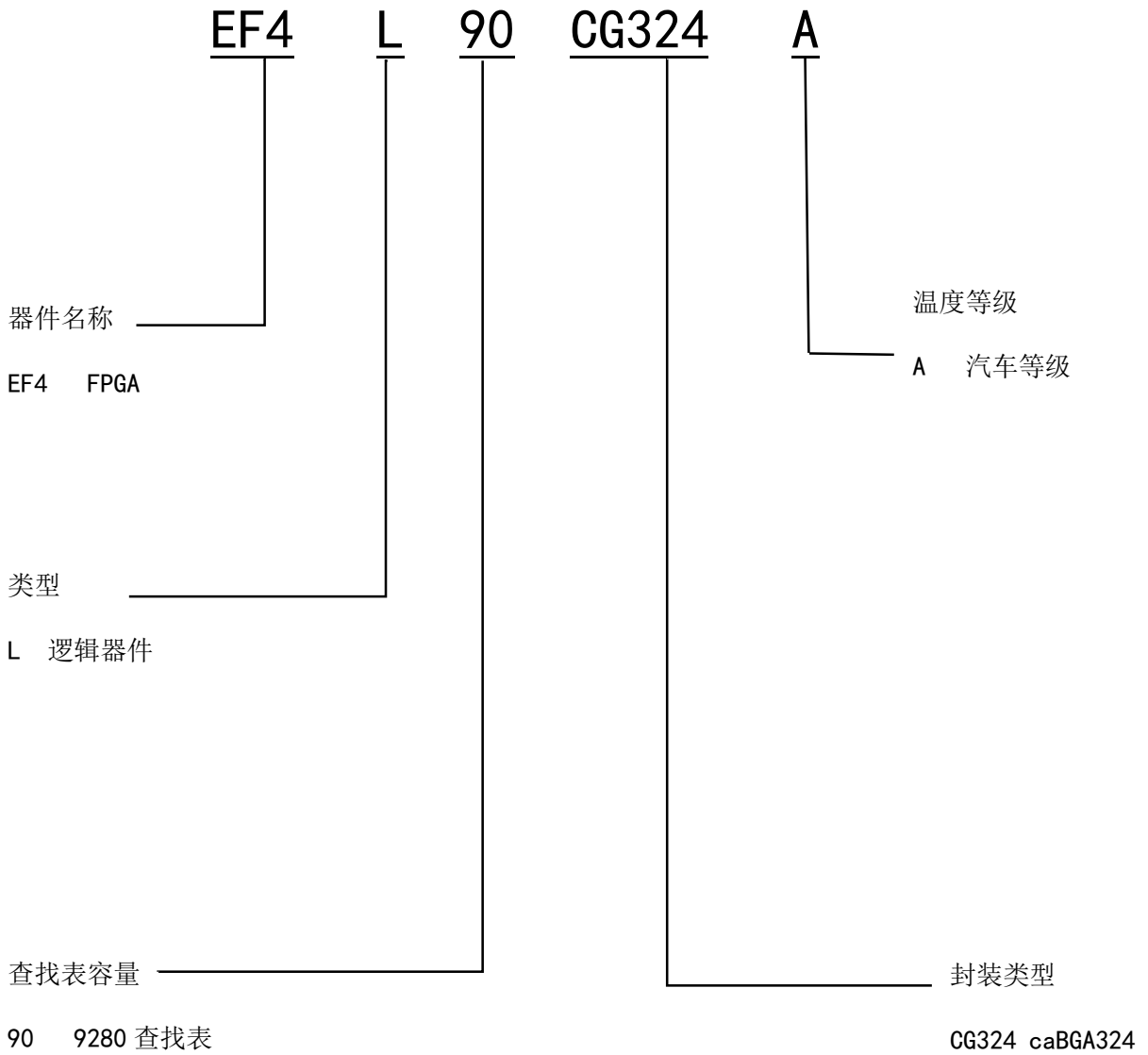
■ 温度等级

◇ A 汽车等级 (TJ = -40 - 125 °C) (Grade-2)

注: EF4 器件温度等级为车规级 (Grade-2)

■ 吸湿度敏感等级

◇ MSL3





版本信息

日期	版本	修订记录
2021/11/20	0.1	首次发布临时版本
2022/04/15	0.2	更新 Vccaux 供电要求, EF4 Vccaux 由于片上 Flash 供电限制, 只能用 3.3V。
2022/12/30	0.3	1. 更新表 2-9-5 EF4 Configuration Pin Termination: 增加 USRCLK 管脚在配置阶段的状态信息;
2023/02/02	0.4	1. 删除 1.1 章节动态相移描述; 2. 更新表 3-2-7 EF4 器件的 PLL 规格: 删除动态相位移动参数规格; 3. 更新订购信息, 修改器件等级为温度等级;
2022/02/15	0.5	更新表 3-1-3 中的 VCCAUX 推荐电压范围最大值为 3.465V
2023/02/16	1.0	首次发布正式版本
2023/04/06	1.0.1	1. 在 2.11.1 章节中, 更新配置模式的相关描述 2. 在 2.11.11 章节中, 更新 (2) 中的描述为 FPGA I/O 引脚状态 3. 更新表 2-9-5 的名称为 EF4 Pin Termination 4. 更新表 3-2-3 中 FDRP 最大频率为 50MHz 5. 更新表 3-1-9 IOB 推荐基本操作条件中 IPU 和 IPD 参数规格 6. 在表 3-1-8 EF4 器件管脚电容中添加注释 1 7. 更新图 2_5_1EF4PLL 架构图中分频系数 M、N, 删除 IOCLK 8. 更新表 2_5_1EF4PLL 特性表中分频系数 M、N



版权所有©2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。