

概述

CH334 和 CH335 是符合 USB2.0 协议规范的 4 端口 USB HUB 控制器芯片，上行端口支持 USB2.0 高速和全速，下行端口支持 USB2.0 高速 480Mbps、全速 12Mbps 和低速 1.5Mbps，支持 STT 和高性能的 MTT。

CH335 其中一个下行端口支持 USB3.0 SuperSpeed 直通上行端口。

工业级设计，外围精简，可应用于计算机和工控机主板、外设、嵌入式系统等。

特点

- 4 个 USB2.0 下行端口，向下兼容 USB1.1 协议规范
- 支持各端口独立电源控制或 GANG 整体联动电源控制，提供 5V 控制信号输出
- 支持各端口独立过流检测或 GANG 整体过流检测，支持 5V 耐压过流信号输入
- 支持低成本的 STT 或高性能的 MTT 模式，MTT 为每个端口配置独立 TT 实现满带宽并发传输
- 支持端口状态 LED 指示灯
- 可通过外部 EEPROM 配置是否支持复合设备、不可移除设备、自定义 VID、PID 和端口配置
- 针对行业特殊需求可批量定制厂商或产品信息及配置
- 低功耗，支持自供电或总线供电
- 可通过 I/O 引脚或外部 EEPROM 配置自供电或总线供电模式
- 提供晶体振荡器，内置电容，支持外部 12MHz 输入，内置 PLL 为 USB PHY 提供 480MHz 时钟
- 上行端口内置 1.5K Ω 上拉电阻，下行端口内置 USB Host 主机所需下拉电阻，外围精简
- 下行端口可选支持 BC1.2 充电协议 GDP、APPLE 充电协议
- 内置 LDO 线性降压调节器，可将 USB 总线电源电压转换为芯片的 3.3V 工作电源
- 6KV 高 ESD 性能
- 工业级温度范围：-40~85 $^{\circ}\text{C}$
- 提供 QFN28、SOP16、QSOP28 等多种小体积、低成本、易加工的封装形式

第 1 章 引脚信息

1.1 引脚排列

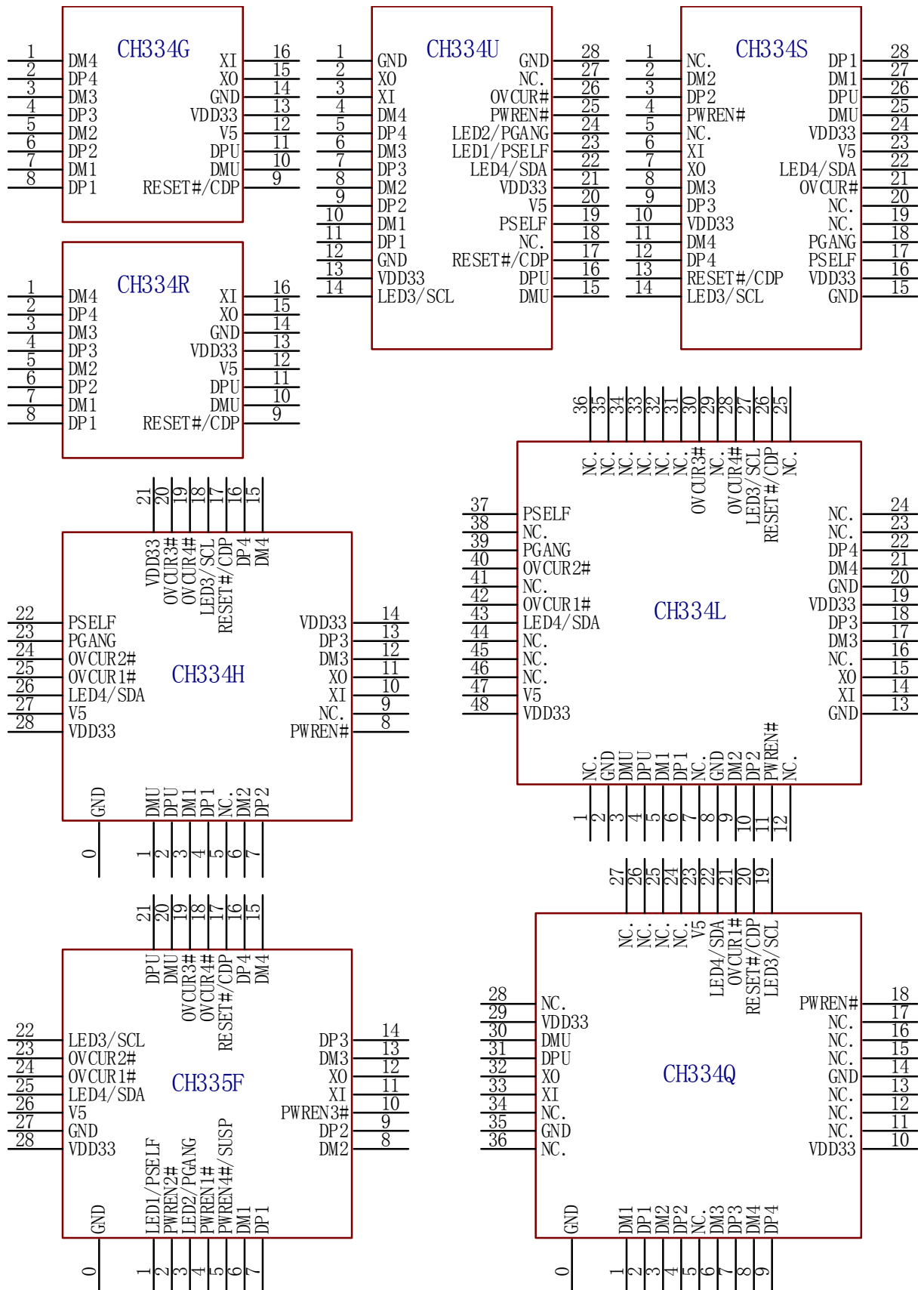


图 1-1 CH334、CH335 引脚分布

注：0#引脚是指 QFN 封装的底板。

1.2 型号对比

表 1-1 CH334/CH335 同簇型号功能对比

型号 功能	CH334G	CH334R	CH334U	CH334S/Q	CH334H/L	CH335F
TT 模式	STT	MTT	MTT	MTT	MTT	MTT
过流检测	×	×	GANG 模式	GANG 模式	独立	独立/GANG
电源控制	×	×	GANG 模式	GANG 模式	GANG 模式	独立/GANG
LED 指示灯	×	×	5 灯/9 灯	1 灯	1 灯	5 灯/9 灯
I/O 引脚配置 充电模式	×	√	√	√	√	√
I/O 引脚配置 供电模式	×	×	√	√	√	√
外部 EEPROM 提供配置信息	×	×	√	√	√	√
定制配置信息	√	√	√	√	√	√
USB3.0 直通	×	—	—	—	—	√

1.3 封装

表 1-2 CH334/CH335 封装说明

封装形式	塑体宽度		引脚间距		封装说明	订货型号
SOP16	3.9mm	150mil	1.27mm	50mil	标准 16 脚贴片	CH334G
QSOP16	3.9mm	150mil	0.635mm	25mil	1/4 尺寸 16 脚贴片	CH334R
QSOP28	3.9mm	150mil	0.635mm	25mil	1/4 尺寸 28 脚贴片	CH334U
SSOP28	5.3mm	209mil	0.65mm	25mil	缩小型 28 脚贴片	CH334S
QFN28_5x5	5*5mm		0.5mm	19.7mil	方形无引线 28 脚	CH334H
LQFP48	7*7mm		0.5mm	19.7mil	标准 LQFP48 脚贴片	CH334L
QFN36_6x6	6*6mm		0.5mm	19.7mil	方形无引线 36 脚	CH334Q
QFN28_4x4	4*4mm		0.4mm	15.7mil	方形无引线 28 脚	CH335F

注：部分封装形式例如 CH334S/L/Q 仅支持批量预订。另有更小体积的 QFN_3*3 封装可供批量预订。

1.4 引脚描述

表 1-3 CH334/CH335 引脚定义

引脚号（不同封装的同名引脚可参考）							引脚名称	类型	功能描述
335F	334G	334R	334U	334S	334H	334L			
20	10	10	15	25	1	3	DMU	USB	上行端口 USB2.0 信号线 D-
21	11	11	16	26	2	4	DPU	USB	上行端口 USB2.0 信号线 D+
6	7	7	10	27	3	5	DM1	USB	1#下行端口 USB 信号线 D-
7	8	8	11	28	4	6	DP1	USB	1#下行端口 USB 信号线 D+
8	5	5	8	2	6	9	DM2	USB	2#下行端口 USB 信号线 D-
9	6	6	9	3	7	10	DP2	USB	2#下行端口 USB 信号线 D+
13	3	3	6	8	12	17	DM3	USB	3#下行端口 USB 信号线 D-
14	4	4	7	9	13	18	DP3	USB	3#下行端口 USB 信号线 D+
15	1	1	4	11	15	21	DM4	USB	4#下行端口 USB 信号线 D-
16	2	2	5	12	16	22	DP4	USB	4#下行端口 USB 信号线 D+
11	16	16	3	6	10	14	XI	I	晶体振荡器输入端，接外部晶体一端
12	15	15	2	7	11	15	XO	O	晶体振荡器反相输出端，接外部晶体另一端
17	9	9	17	13	17	26	RESET# CDP	5I	RESET#: 外部复位输入，内置上拉，低有效； CDP: 如果外加上拉电阻则使能下行端口充电
26	12	12	20	23	27	47	V5	P	5V 或 3.3V 电源输入，外接 1uF 退耦电容
28	13	13	21	24	28	48	VDD33	P	LDO 输出及 3.3V 输入，外接 1uF 退耦电容
-	-	-	13	10 16	14 21	19	VDD33	P	3.3V 电源输入，外接 0.1uF 退耦电容
27	14	14	1 12 28	15	-	2 8 13 20	GND	P	公共接地端
0	-	-	-	-	0	-	GND	P	公共接地端（底板）
24	-	-	26	21	25	42	OVCUR# OVCUR1#	5I	GANG 整体模式下行端口过流检测输入引脚； 1#下行端口过流检测输入引脚，低电平过流
23	-	-	-	-	24	40	OVCUR2#	5I	2#下行端口过流检测输入引脚，低电平过流
19	-	-	-	-	20	30	OVCUR3#	5I	3#下行端口过流检测输入引脚，低电平过流
18	-	-	-	-	19	28	OVCUR4#	5I	4#下行端口过流检测输入引脚，低电平过流
4	-	-	25	4	8	11	PWREN# PWREN1#	50	GANG 整体模式下行端口电源输出控制引脚； 1#下行端口电源输出控制引脚，低电平开启

2	-	-	-	-	-	-	PWREN2#	50	2#下行端口电源输出控制引脚，低电平开启
10	-	-	-	-	-	-	PWREN3#	50	3#下行端口电源输出控制引脚，低电平开启
5	-	-	-	-	-	-	SUSP PWREN4#	50	GANG 整体模式 SUSPEND 睡眠状态输出引脚，高电平指示睡眠态，低电平指示正常态；4#下行端口电源输出控制引脚，低电平开启
-	-	-	19	17	22	37	PSELF	I	配置供电模式，内置上拉电阻：默认高电平为自供电，低电平为总线供电
-	-	-	-	18	23	39	PGANG	I/O	在复位期间配置电源过流保护模式，内置上拉电阻，在复位完成后转为睡眠/正常状态输出：默认高电平为整体过流检测和整体电源控制，复位后输出低指示正常态，高指示睡眠态；外加下拉置低为独立过流检测，复位后输出高指示正常态，低指示睡眠态
1	-	-	23	-	-	-	LED1 PSELF	I/O	LED1：端口状态指示信号 1 PSELF：在复位期间配置供电模式，内置上拉，默认高为自供电，外加下拉置低为总线供电
3	-	-	24	-	-	-	LED2 PGANG	I/O	LED2：端口状态指示信号 2 PGANG：在复位期间配置电源过流保护模式，内置上拉，默认高为整体过流检测和整体电源控制，外加下拉置低为独立过流检测
22	-	-	14	14	18	27	LED3 SCL	I/O	LED3：端口状态指示信号 3 SCL：在复位期间为 EEPROM 时钟信号线输出
25	-	-	22	22	26	43	LED4 SDA	I/O	LED4：端口状态指示信号 4 SDA：在复位期间为 EEPROM 双向数据信号线
-	-	-	18 27	1 5 19 20	5 9	*	NC.		空脚或保留引脚，禁止连接

引脚类型：

- (1) I：3.3V 信号输入。
- (2) O：3.3V 信号输出。
- (3) 5I：额定 3.3V 信号输入，支持 5V 耐压，与 V5 电压无关。
- (4) 50：5V 信号输出，高电平由 V5 电源提供；如果 V5 短接 VDD33，则 PWREN#不宜直接驱动 PMOS。
- (5) P：电源或地。

第 2 章 系统结构

2.1 系统结构

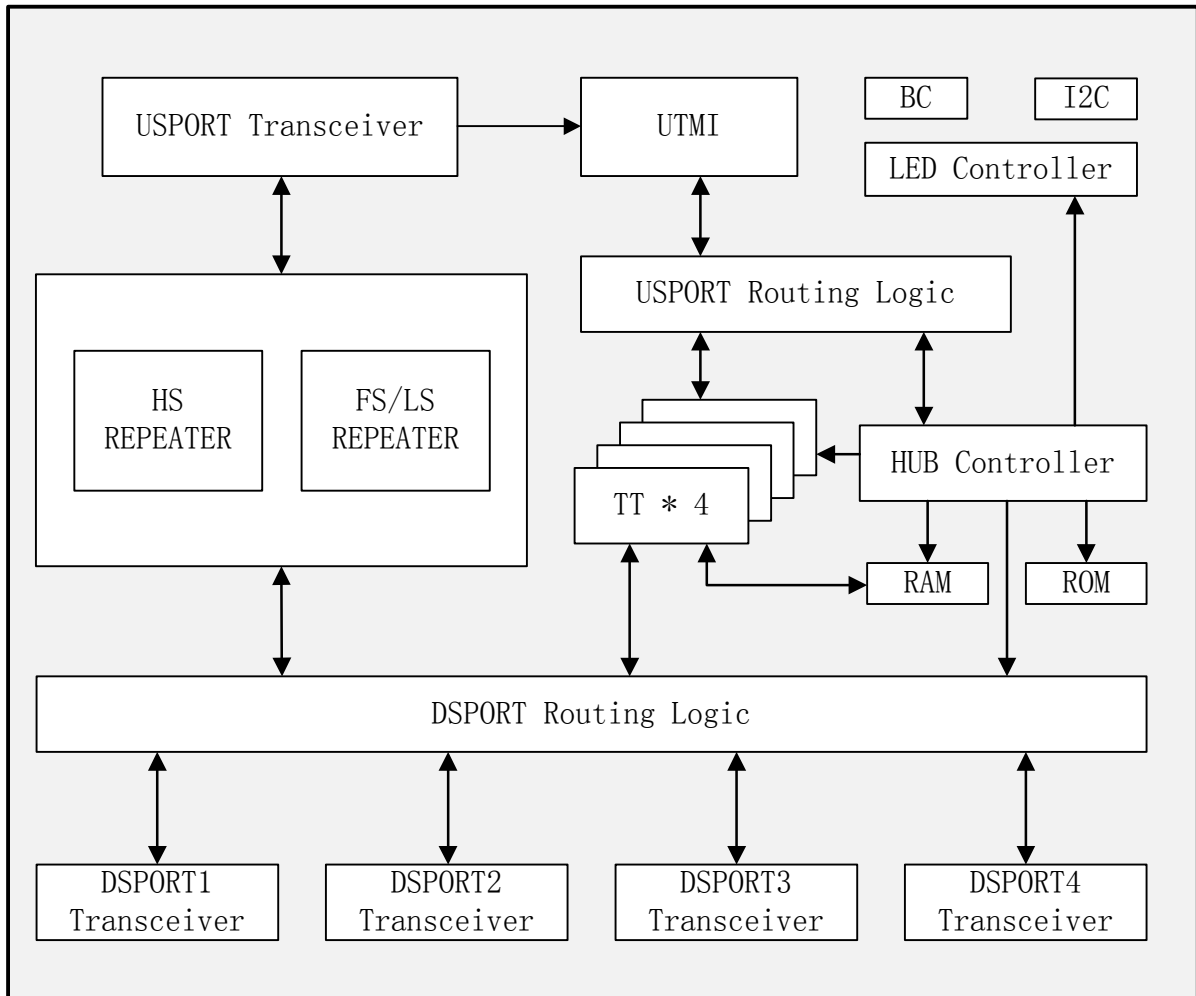


图 2-1 系统框图

图 2-1 是 HUB 控制器系统内部结构框图。HUB 控制器主要包括三大模块：Repeater、TT 和控制器。控制器类似 MCU 处理器，用于全局管理和控制。当上行端口与下行端口速度一致时，路由逻辑会将端口连接至 Repeater，当上行端口与下行端口速度不一致时，路由逻辑会将端口连接至 TT。

TT 又分为单个 TT 和多个 TT 两种，即 STT 和 MTT，STT 是单个 TT 分时处理 USB 主机下发至所有下行端口的事务，MTT 指多个 TT 并行，是 4 个 TT 分别对应并实时处理一个下行端口的事务，因此 MTT 可以为各下行端口的接入设备提供更高更满的带宽，更好的支持多端口大数据量的并发传输。

注：

USPORT Transceiver：上行端口收发器 PHY

DSPORT Transceiver：下行端口收发器 PHY

REPEATER：HUB 中继器

TT：处理转换器。

第 3 章 功能描述

3.1 过流检测

CH334/CH335 支持三种过流保护模式：独立控制电源和独立过流检测、GANG 整体控制电源和独立过流检测、GANG 整体联动控制电源和整体过流检测，如表 3-1 所示。

表 3-1 过流保护控制引脚说明

过流保护模式	电源控制引脚	过流检测的采样引脚	简化参考图
双独立模式	PWREN1#, PWREN2#, PWREN3#, PWREN4#	OVCUR1#, OVCUR2#, OVCUR3#, OVCUR4#	图 3-2 (a)
整控独检模式	PWREN1#或 PWREN#	OVCUR1#, OVCUR2#, OVCUR3#, OVCUR4#	图 3-2 (b)
GANG 整体模式	PWREN1#或 PWREN#	OVCUR1#或 OVCUR#	图 3-2 (c)

CH335F 支持双独立模式和 GANG 整体模式；CH334H/L 支持整控独检模式和 GANG 整体模式；CH334U/S/Q 只支持 GANG 整体模式；CH334G/R 不支持过流检测。

建议采用 VBUS 电源管理专用器件实现精密过流保护，包括集成的电源开关和过流检测。如果 U1 是开漏输出，那么需要 R1 上拉，否则不需要 R1。如果是 OC_LEVEL=1 的设置，则 R1 需要上拉到 5V。

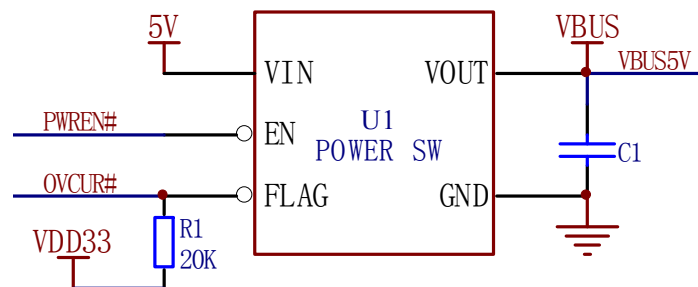
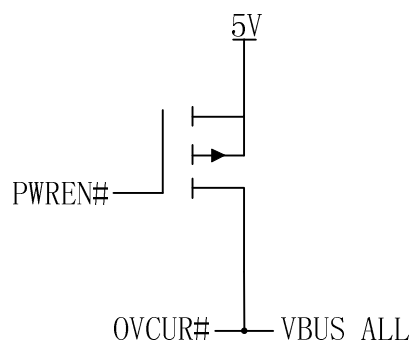
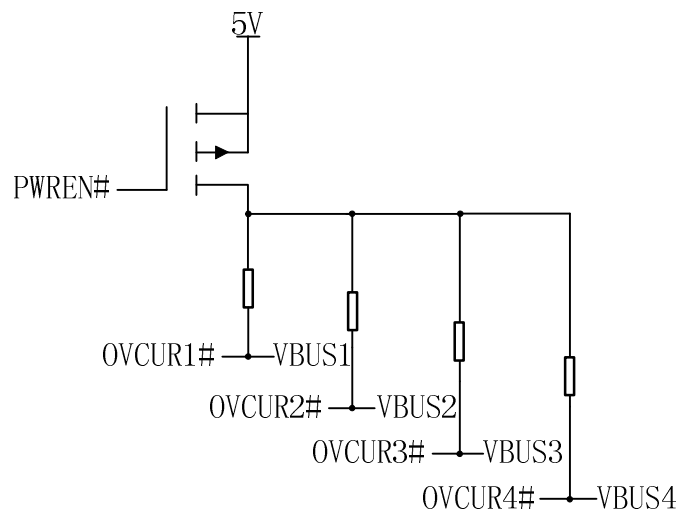


图 3-1 精密的电源控制和过流保护电路示意图

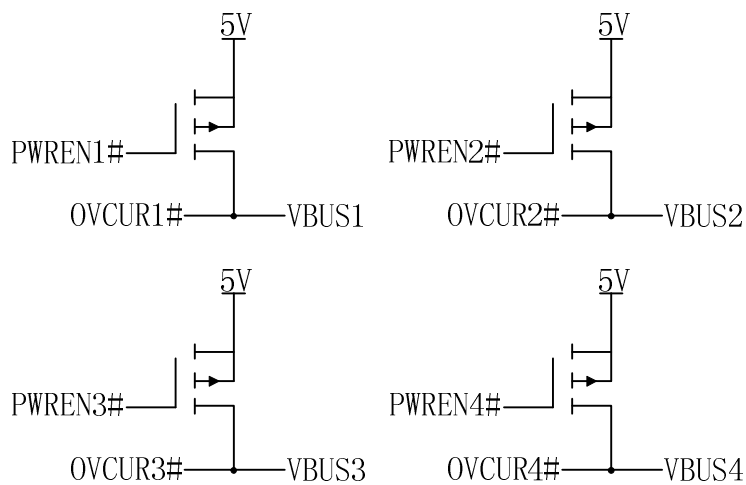
对于 V5 引脚供电为 5V 或者 5V 串联了肖特基二极管降压的应用，还可以由 PWREN# 引脚直接驱动 PMOS 管控制 VBUS 电源，并由 CH334/CH335 引脚直接进行过电流采样，建议 OVCUR# 引脚串联数 K Ω 电阻后再连接 VBUS 电源。该方案精度和保护效果不如专用器件，仅供参考。下图为结构示意图。



(a) GANG 整体模式，建议 PMOS 漏端串联保险电阻或采用内阻较大的 PMOS 器件



(b) 整控独检模式，电阻建议是保险电阻



(c) 双独立模式，建议 PMOS 漏端各串联保险电阻或采用内阻较大的 PMOS 器件

图 3-2 简化的电源控制和过流保护电路示意图

注：

VBUS_ALL：4 个下行端口的 VBUS；

VBUS1：下行端口 1 的 VBUS；

VBUS2：下行端口 2 的 VBUS；

VBUS3：下行端口 3 的 VBUS；

VBUS4：下行端口 4 的 VBUS。

3.2 复位与充电

芯片内嵌有上电复位模块，一般情况下，无需外部提供复位信号。同时也提供了外部复位输入和充电使能的复用引脚 RESET#/CDP，该引脚内置有上拉电阻。

3.2.1 上电复位

当电源上电时，芯片内部 POR 上电复位模块会产生上电复位时序，并延时 T_{rpor} 约 12mS 以等待电源稳定。在运行过程中，当电源电压低于 V_{lvr} 时，芯片内部 LVR 低压复位模块会产生低压复位直到电压回升，并延时以等待电源稳定。图 3-2 为上电复位过程以及低压复位过程。

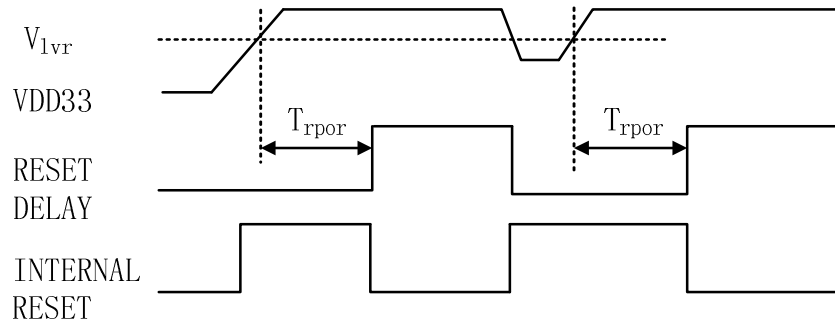


图 3-2 上电复位

3.2.2 外部复位

外部复位输入引脚 RESET#/CDP 已内置约 25K Ω 上拉电阻，如果外部需要对芯片进行复位，那么可以将该引脚驱动为低电平，驱动内阻建议不大于 800 Ω ，复位的低电平脉宽需要大于 4 μ s。

对于 MCU 引脚直接驱动 HUB 芯片 RESET#/CDP 引脚的应用，如果上电期间 MCU 引脚输出高电平则会启用 CH334/CH335 的充电功能（不影响 HUB 通讯，但睡眠电流较大），如需避免启用充电功能，那么需要在 MCU 引脚与 HUB 芯片 RESET#/CDP 引脚之间串联二极管（阴极接 MCU 引脚）。

3.2.3 充电功能

上电复位期间根据 RESET#/CDP 引脚的外部上拉电阻状态可以配置下行端口的充电模式，如表 3-2 所示。外部的上拉电阻可选 3K Ω ~ 6K Ω 范围，优选 4.7K Ω 。

启用充电功能后，CH334/CH335 如果进入睡眠状态则不会关闭晶体振荡器，故睡眠电流较大。

另可以提供 Type-C 及 USB PD 高压快充方案。

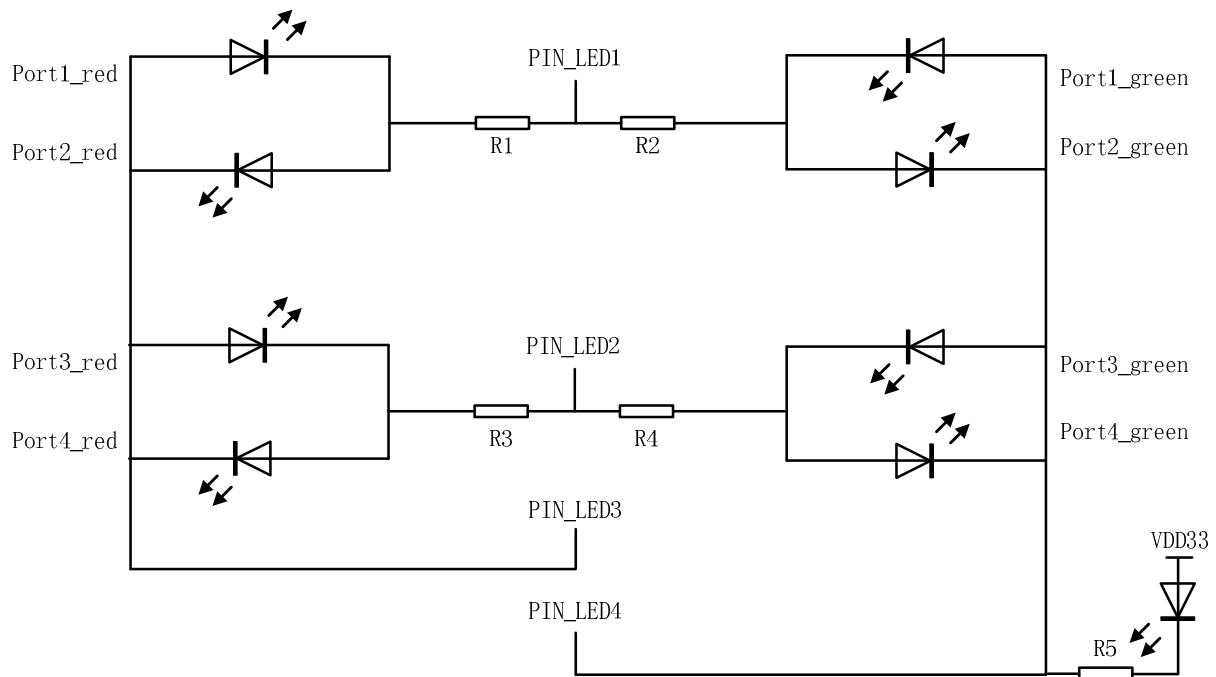
表 3-2 CH334/CH335 充电功能说明

上电复位期间的 RESET#/CDP 引脚状态	充电功能说明
RESET#/CDP 悬空	无特殊充电功能
RESET#/CDP 外接上拉电阻至 VDD33 电源，CH334/CH335 仅在上电复位期间检测一次	下行端口自动支持 BC1.2 的 CDP 充电协议（5V 电压 1.5A~5A），通常不影响常规的 USB 通讯
RESET#/CDP 外接上拉电阻至 V5 电源，CH334/CH335 仅在上电复位期间检测一次	下行端口支持 APPLE 充电协议（仅在新上电数秒内实现协议），建议先连接好设备再重新上电

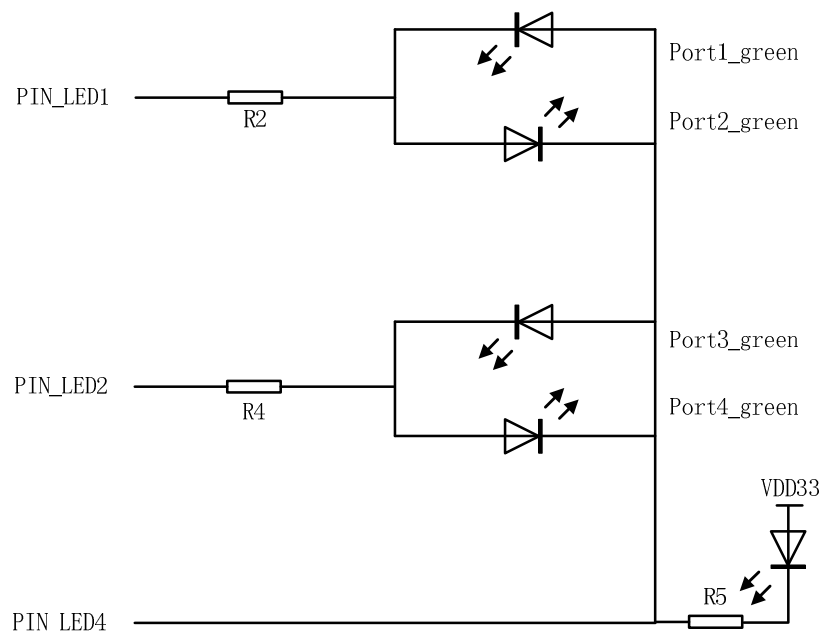
3.3 LED 指示灯

根据 USB2.0 协议规范，CH334/CH335 提供了下行端口状态 LED 指示灯控制引脚，绿灯亮起表明端口状态正常，绿灯熄灭表明端口无设备或挂起 Suspend，红灯亮起表明端口异常。CH334/CH335 根据封装的不同，可以支持 1 灯模式（R5 串联的蓝灯，亮表示 Active，灭表示 Suspend）、5 灯模式、9 灯模式。具体实现如图 3-3 所示，图中 LED 限流电阻 R1~R5 为 $220\ \Omega$ ，可选 $100\ \Omega \sim 1\text{K}\ \Omega$ 范围。

LED1 和 LED2 还可以分别用于配置 PSELF 和 PGANG，如果需要配置则可以在外部加 $10\text{K}\ \Omega$ 下拉电阻，可选 $3\text{K}\ \Omega \sim 12\text{K}\ \Omega$ 范围。因为兼做 LED 驱动输出，所以 LED1 和 LED2 不能直接短路到 GND。



(a) 9 灯模式



(b) 5 灯模式

图 3-3 LED 指示灯示意图

3.4 EEPROM 配置接口

CH334 和 CH335 提供两线 I2C 接口与外部 EEPROM 存储芯片通信，EEPROM 芯片地址为 0，EEPROM 中存储有自定义的厂商 ID、产品 ID、配置等信息。SCL 引脚输出时钟频率为 187.5KHz，SDA 引脚已内置约 250uA 上拉电流以支持开漏双向数据通讯，无需外部上拉电阻。

3.5 EEPROM 内容

CH334/CH335 支持从外部 EEPROM 中加载厂商识别码 VID、产品识别码 PID 等配置信息，芯片上电后首先加载内部 ROM 的数据，加载完内部 ROM 数据后加载外部 EEPROM 的数据。如果 EEPROM 中数据的校验和 CHKSUM 无效，则放弃 EEPROM 中所有数据；如果 EEPROM 的 CHKSUM 有效，则加载 EEPROM 中所有数据。EEPROM 具体布局如表 3-3 所示，EEPROM 中各地址定义说明如表 3-4 所示。

表 3-3 EEPROM 地址布局

	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
00h	VID_L	VID_H	PID_L	PID_H	CHKSUM	FF	Device Removable	Port Number	Max Power	SIG	CFG	FF	FF	FF	FF	FF
10h	Vendor Length	Vendor String (UNICODE)														
20h																
30h	Vendor String End															
40h	Product Length	Product String (UNICODE)														
50h																
60h	Product String End															
70h	SN Length	Serial Number String (UNICODE)														
80h-BFh	Serial Number String End															
C0h-FFh	Reserved															

表 3-4 EEPROM 地址内容定义

字节地址	参数简称	参数说明	默认值
00h	VID_L	厂商识别码 VID 的低字节。	86h

01h	VID_H	厂商识别码 VID 的高字节。	1Ah
02h	PID_L	产品识别码 PID 的低字节。	随型号
03h	PID_H	产品识别码 PID 的高字节。	80h
04h	CHKSUM	校验和 CHKSUM 必须等于 VID_H+VID_L+PID_L+PID_H+1， 否则忽略 EEPROM 的所有数据。	
06h	Device Removable	Bit7~Bit4: 保留 reserved。 Bit3: 为 1 表示连接至下行端口 4 的设备不可移除。 Bit2: 为 1 表示连接至下行端口 3 的设备不可移除。 Bit1: 为 1 表示连接至下行端口 2 的设备不可移除。 Bit0: 为 1 表示连接至下行端口 1 的设备不可移除。	00h
07h	Port Number	下行端口个数，有效值范围 1~4。	04h
08h	Max Power	最大工作电流，单位为 2mA。	32h
09h	SIG	0Ah 信息 CFG 有效的签名标志，必须是 5Ah，否则 CFG 无效。	5Ah
0Ah	CFG	Bit7: 保留 reserved。 Bit6: EEPROM 写允许，0=写保护，1=允许被 USB 工具改写。 Bit5: 过流检测电压阈值 OC_LEVEL 选择， 默认 0=2.4V 且弱上拉，1=4.1V 且弱下拉。 当用 PMOS 简化电源控制时可选 4.1V，否则用 2.4V。 Bit4&3: 选择电源开启后延时多久后检测过流 OC_DELAY： 00: 约 300uS，适用于开启快、VBUS 电容小的情况； 01: 约 3mS； 10: 约 10mS； 11: 约 30mS，适用于开启慢、VBUS 电容大的情况。 Bit2: 配置供电模式 SELF_POWER， 默认 1=自供电（建议），0=总线供电。 EEPROM 配置优先于 IO 引脚 PSELF 设置。 Bit1: 指示灯使能 INDICATOR_EN，默认 0，1=使能指示灯。 Bit0: 配置电源过流保护模式 GANG_MODE， 默认 1=整体联动过流检测，0=独立过流检测。 EEPROM 配置优先于 IO 引脚 PGANG 设置。	57h

第 4 章 参数

4.1 绝对最大值 (临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏)

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	150	°C
V5	LDO 输入电源电压 (V5 引脚接电源, GND 引脚接地)	-0.4	5.5	V
VDD33	工作电源电压 (VDD33 引脚接电源, GND 引脚接地)	-0.4	4.0	V
V5I	5V 耐压输入引脚上的电压	-0.4	5.5	V
V5O	5V 输出引脚上的电压	-0.4	V5+0.2	V
VUSB	USB 信号引脚上的电压	-0.4	VDD33+0.4	V
VGPIO	其它 (3.3V) 输入或者输出引脚上的电压	-0.4	VDD33+0.4	V
VESD	USB 信号引脚上的 HBM 人体模型 ESD 耐压	5K	10K	V

4.2 电气参数 (测试条件: TA=25°C, V5=5V 或 V5=VDD33=3.3V)

名称	参数说明		最小值	典型值	最大值	单位
V5	LDO 输入电源电压@V5	启用内部 LDO	3.9	5	5.25	V
	外供电电源电压@V5	无需内部 LDO	3.15	3.3	5.25	
VDD33	LDO 输出电压@VDD33	启用内部 LDO	3.15	3.3	3.5	V
	外供 3.3V 电压@VDD33	无需内部 LDO	3.15	3.3	3.5	
ILDO	内部电源调节器 LDO 对外负载能力				20	mA
ICC	工作电流	上行高速	4 个下行高速		90	mA
		上行高速	1 个下行高速		41	mA
		上行高速	4 个下行全速		25	mA
		上行高速	1 个下行全速		21	mA
		上行全速	4 个下行全速		20	mA
		上行高速	下行无设备		9	mA
		上行全速	启用 CDP 充电			
		上行高速	下行无设备		0.27	mA
		上行全速	含 1.5KΩ 上拉			
ISLP	深度睡眠电源电流 (不含 1.5KΩ 上拉) 或: 自身睡眠电源电流 (不接 USB 主机)			0.07	0.3	mA
VIL	除过流检测外引脚的低电平输入电压		0		0.8	V

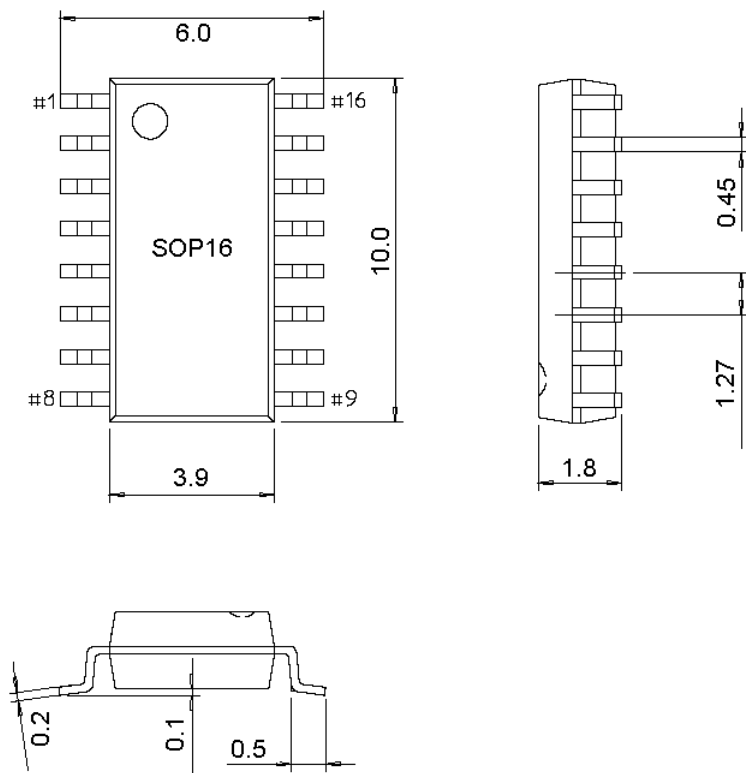
VIH	除过流检测外引脚的高电平输入电压		1.9		VDD33	V
VILRST	RESET#引脚的低电平输入电压		0		0.75	V
VIX	过流检测电压阈值 OC_LEVEL 的误差			±0.2		V
VOL	低电平 输出电压	LED 引脚, 吸入 15mA 电流		0.5	0.6	V
		PWREN#引脚, 吸入 5mA 电流		0.4	0.6	V
VOH	高电平 输出电压	LED 引脚, 输出 10mA 电流	VDD33-0.6	VDD33-0.5		V
		PWREN#引脚, 输出 2mA 电流	V5-0.6	V5-0.4		V
IPU	上拉电流	LED1/2/3/PSELF/PGANG 引脚	30	50	80	uA
IPD	下拉电流	OVCUR#引脚	2	5	40	uA
Vlvr	电源低压复位的电压门限		2.4	2.8	3.1	V

第 5 章 封装

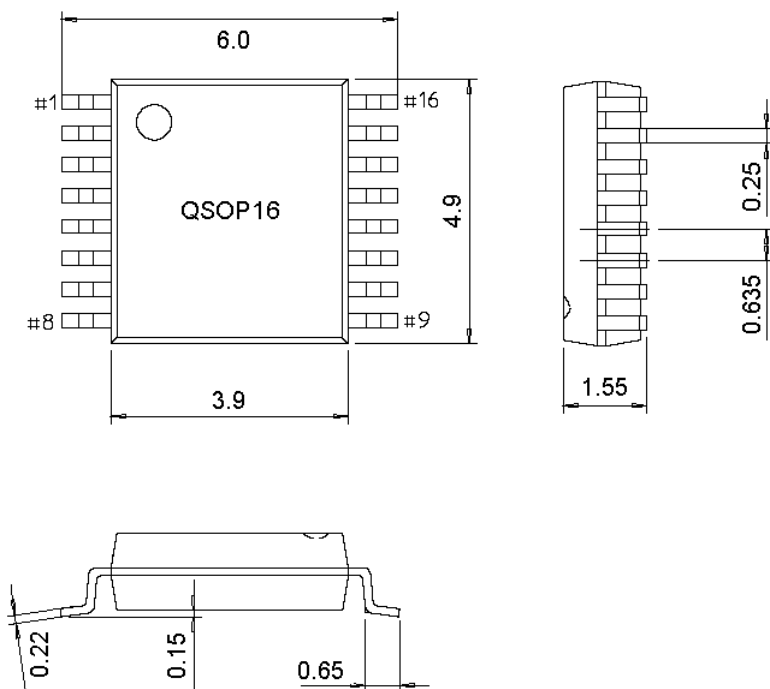
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm。

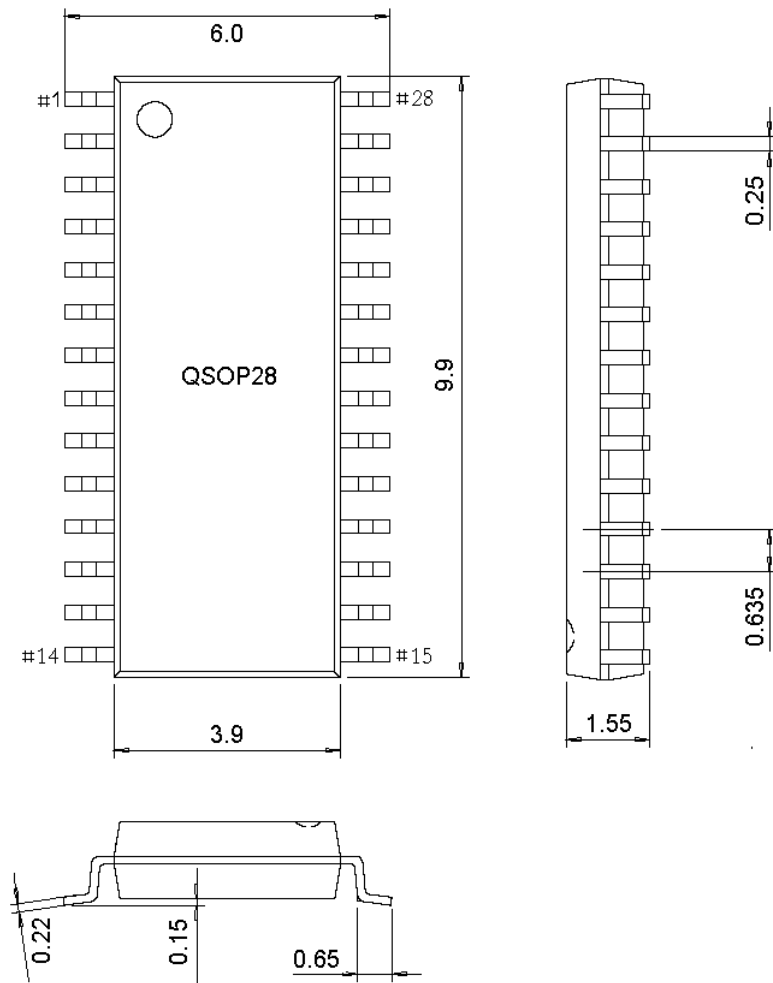
5.1 SOP16



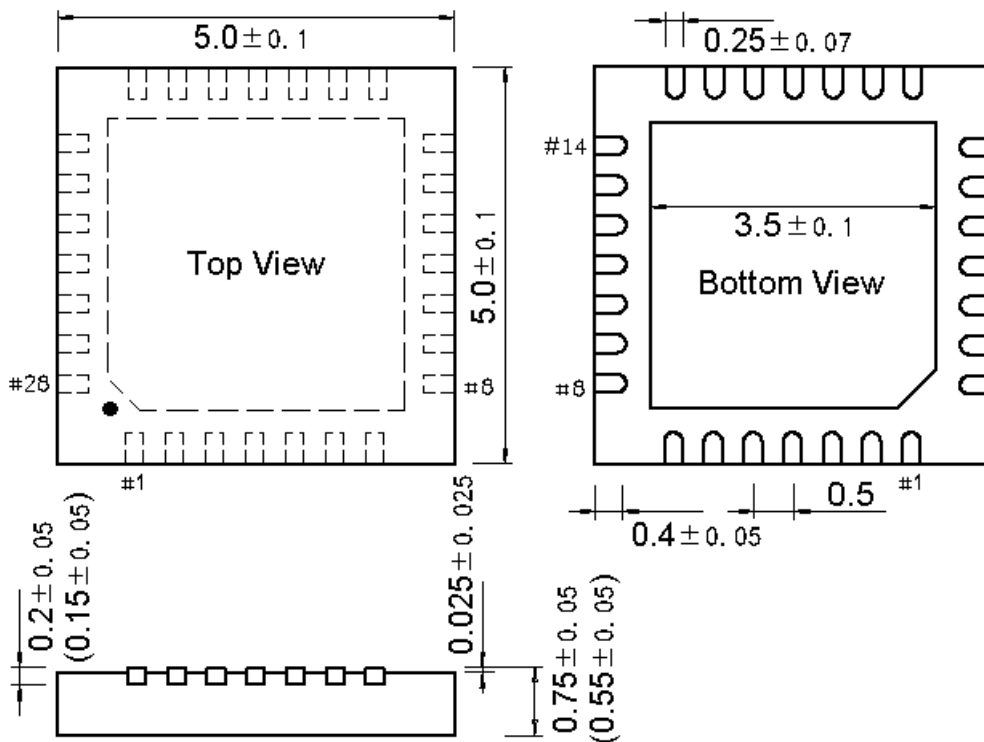
5.2 QSOP16



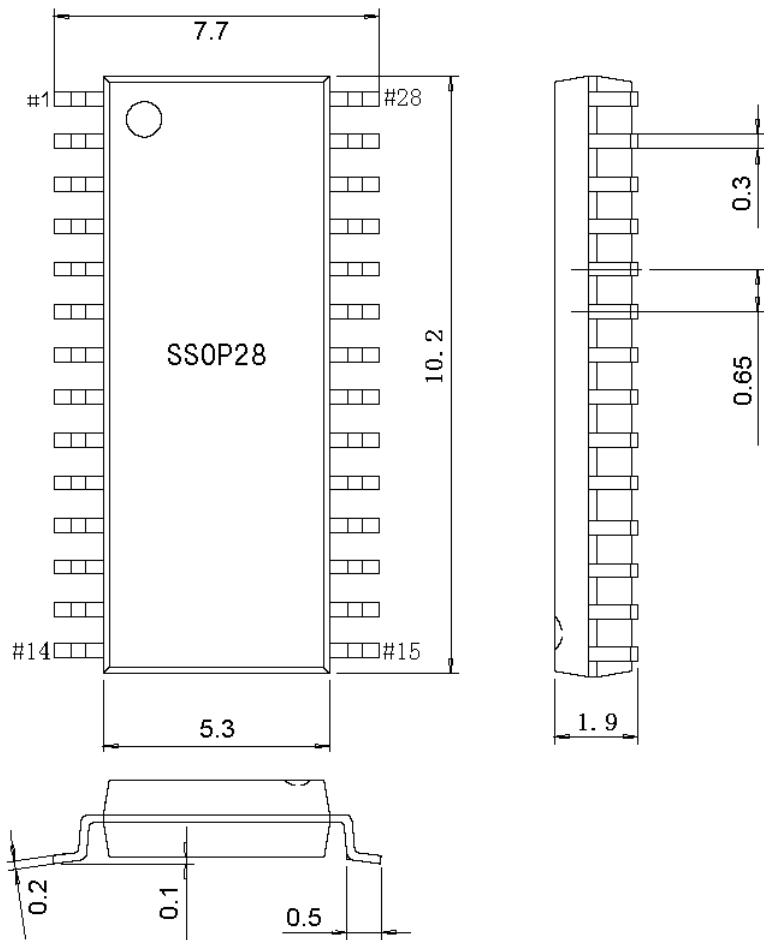
5.3 QSOP28



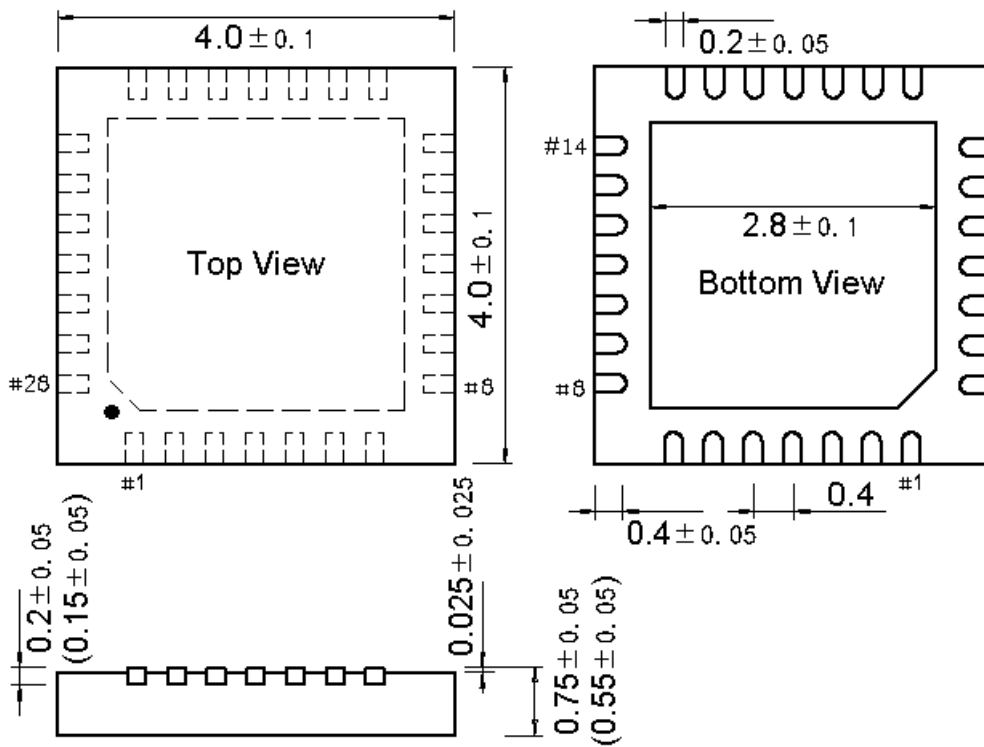
5.4 QFN28_5x5



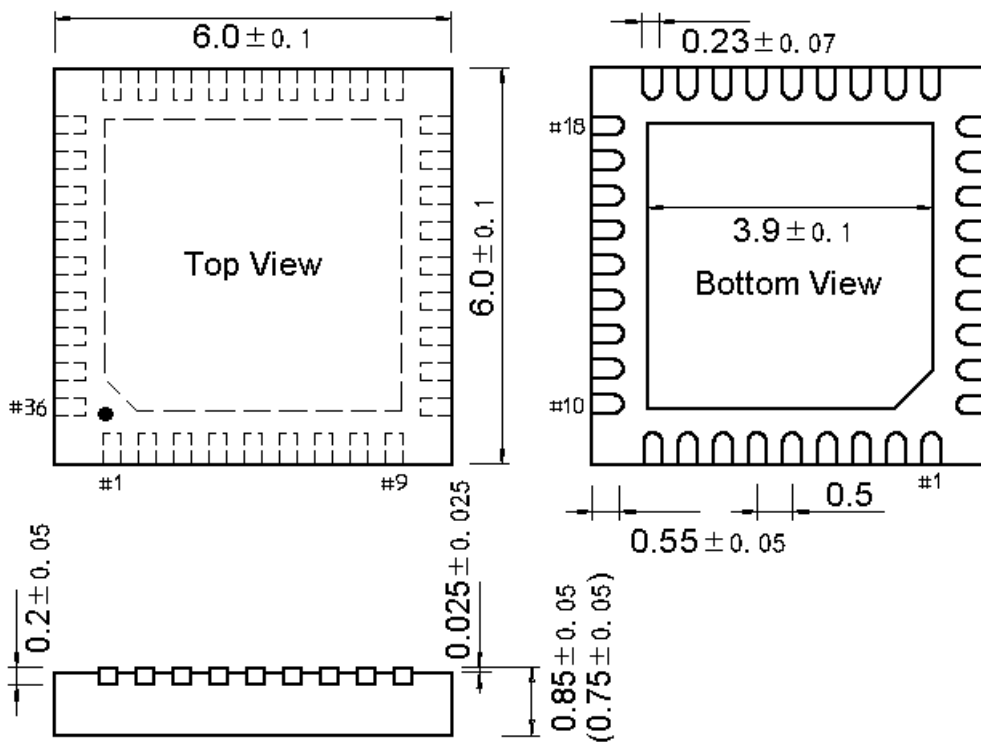
5.5 SSOP28



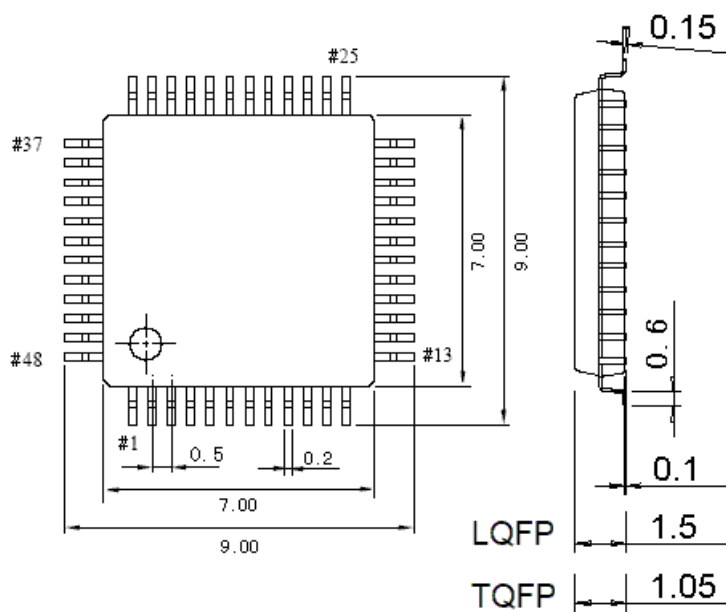
5.6 QFN28_4x4



5.7 QFN36_6x6



5.8 LQFP48



第 6 章 应用

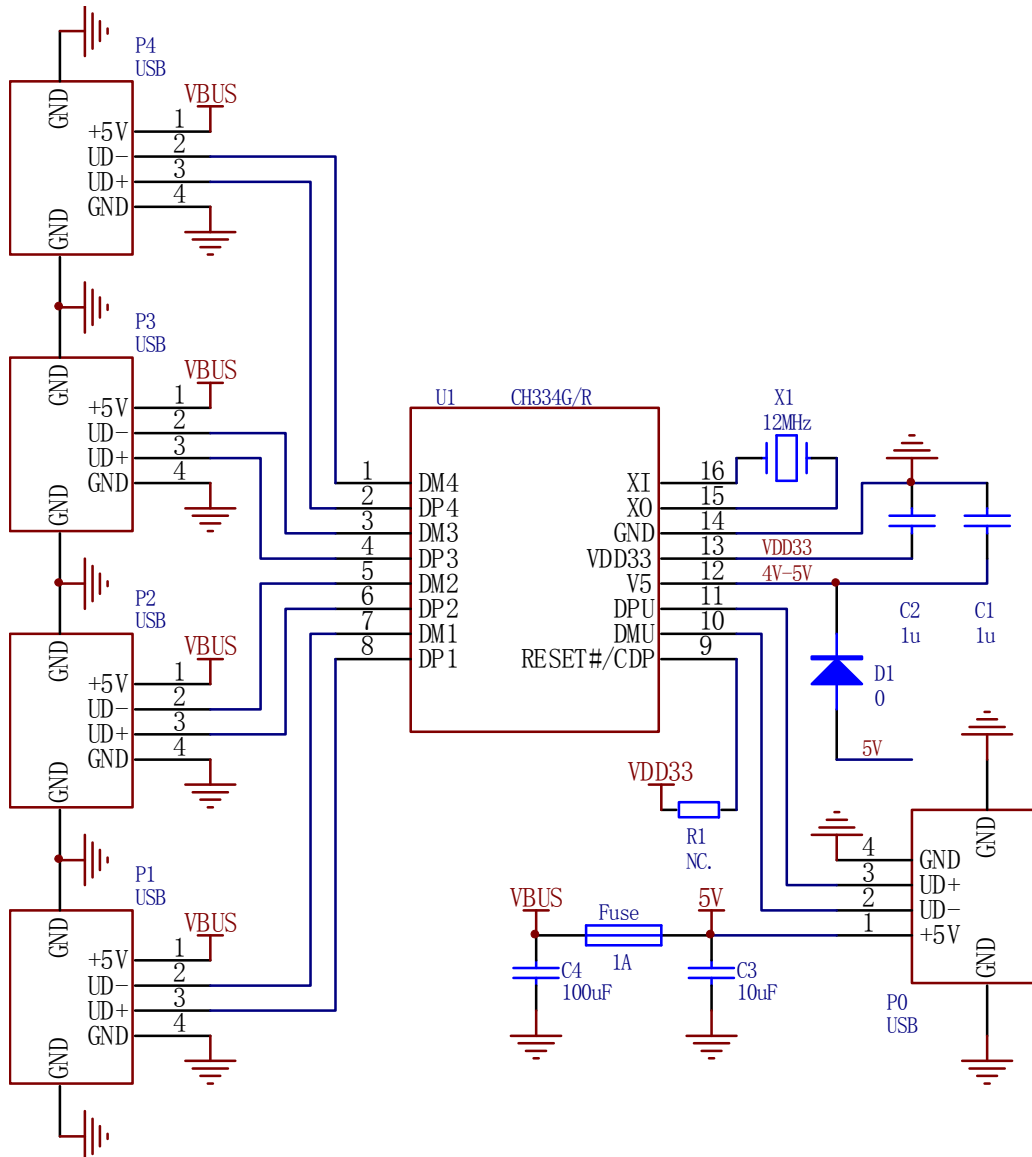
6.1 简化应用

R1 预留，换成 4K7 则启用 BC 协议允许下行端口自动充电。

D1 建议用 1N4001 或类似二极管降压，可以在 5V 电压或 VBUS 电压过冲或者偏高时确保 V5 电压不超过 5.2V。简化应用或者 V5 电压偏低时，D1 可以用 $4.7\Omega \sim 8.2\Omega$ 电阻，甚至 0Ω 。

如果插入大负载外设导致 5V 电压短时降低，甚至引起 HUB 芯片复位，那么如下改进：①、D1 用二极管并且 C1 改到 $4.7\mu\text{F}$ 保障 U1 供电；②、加大 C4 容量减缓 5V 跌落；③、额外 5V 供电。

如果需要控制电源和过流保护，那么可将图中 U1 换用 CH335 或 CH334 其它型号。注意，过流检测引脚不能悬空，未连接的 OVCUR#引脚建议用 $10\text{K}\Omega$ 电阻上拉或直连到 VDD33（或 5V，高于过流检测电压阈值 OC_LEVEL），避免未连接的 OVCUR#引脚被内部电阻下拉而处于假过流状态。



6.2 板载嵌入 HUB

如果有板载 3.3V 电源，那么建议将 V5 和 VDD33 都接 3.3V 电源，但 PWREN#不宜直接驱动 PMOS。